

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2007-272838

(P2007-272838A)

(43) 公開日 平成19年10月18日(2007.10.18)

(51) Int. Cl.	F I	テーマコード (参考)
G05F 1/56 (2006.01)	G05F 1/56 310V	5F038
H01L 21/822 (2006.01)	H01L 27/04 G	5H430
H01L 27/04 (2006.01)	H03K 19/00 A	5J056
H03K 19/00 (2006.01)	H03K 19/00 101D	
H03K 19/0185 (2006.01)	G05F 1/56 310K	

審査請求 未請求 請求項の数 5 O L (全 17 頁)

(21) 出願番号 特願2006-101184 (P2006-101184)
 (22) 出願日 平成18年3月31日 (2006.3.31)

(71) 出願人 899000068
 学校法人早稲田大学
 東京都新宿区戸塚町1丁目104番地
 (74) 代理人 100080160
 弁理士 松尾 憲一郎
 (72) 発明者 吉原 務
 福岡県北九州市若松区ひびきの2-7 早稲田大学大学院情報生産システム研究科内
 (72) 発明者 岡村 怜王奈
 福岡県北九州市若松区ひびきの2-7 早稲田大学大学院情報生産システム研究科内
 (72) 発明者 木村 史法
 福岡県北九州市若松区ひびきの2-7 早稲田大学大学院情報生産システム研究科内

最終頁に続く

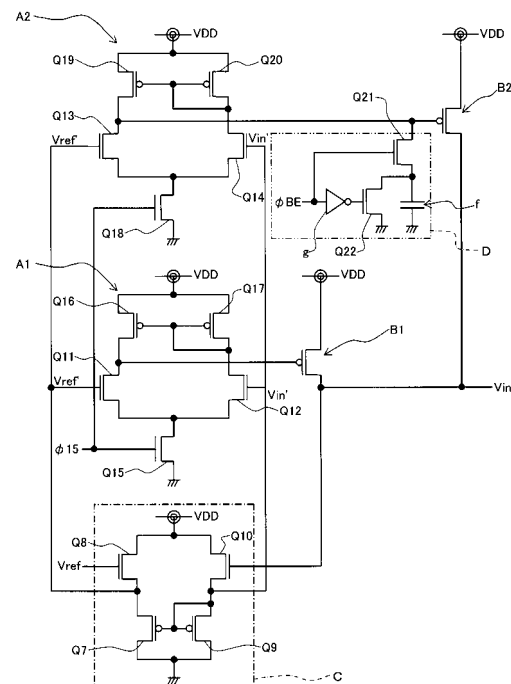
(54) 【発明の名称】 半導体装置

(57) 【要約】

【課題】 外部電源電圧を降圧して内部電源電圧を生成するレギュレータ回路を備えた半導体装置において、レベルシフタ回路を設けて低電圧での駆動を可能としながら、レベルシフタ回路の動作の遅延による電圧のドロップを速やかに解消可能とした半導体装置を提供する。

【解決手段】 レギュレータ回路は、内部電源電圧の基準となる基準電圧を降圧させるとともに内部電源電圧を降圧させるレベル変換手段と、このレベル変換手段で降圧された基準電圧と内部電源電圧との電圧値の差に応じた信号をそれぞれ出力する第1の比較手段と第2の比較手段と、第1の比較手段から出力された信号に応じて外部電源電圧を降圧させて出力する第1の出力手段と、第2の比較手段から出力された信号に応じて外部電源電圧を降圧させて出力する第2の出力手段と、第2の比較回路から出力された信号に因らずに第2の出力手段から所定の電圧を出力させる強制出力手段を備える。

【選択図】 図4



【特許請求の範囲】**【請求項 1】**

外部電源電圧を降圧して内部電源電圧を生成するレギュレータ回路を備えた半導体装置において、

前記レギュレータ回路は、

前記内部電源電圧の基準となる基準電圧を降圧させるとともに前記内部電源電圧を降圧させるレベル変換手段と、

このレベル変換手段で降圧された前記基準電圧と前記内部電源電圧との電圧値の差に応じた信号をそれぞれ出力する第 1 の比較手段と第 2 の比較手段と、

前記第 1 の比較手段から出力された信号に応じて前記外部電源電圧を降圧させて出力する第 1 の出力手段と、 10

前記第 2 の比較手段から出力された信号に応じて前記外部電源電圧を降圧させて出力する第 2 の出力手段と、

前記第 2 の比較回路から出力された信号に因らずに前記第 2 の出力手段から所定の電圧を出力させる強制出力手段と
を備えたことを特徴とする半導体装置。

【請求項 2】

前記第 2 の出力手段は、ドレインに外部電源電圧の電源線を接続し、ゲートに前記第 2 の比較手段から出力された信号が入力される電界効果トランジスタであって、

前記強制出力手段は、前記電界効果トランジスタをオン状態とすることにより、前記電界効果トランジスタを介して前記外部電源電圧を出力させることを特徴とする請求項 1 記載の半導体装置。 20

【請求項 3】

前記電界効果トランジスタは P チャネル電界効果トランジスタであって、

前記強制出力手段は接地電圧にプリチャージされた容量素子を備え、この容量素子を前記 P チャネル電界効果トランジスタのゲートに接続させてオン状態とすることを特徴とする請求項 2 記載の半導体装置。

【請求項 4】

前記レベル変換手段における前記内部電源電圧の入力側と、前記第 1 の比較手段における前記内部電源電圧の入力側とを接続する容量素子を設けたことを特徴とする請求項 1 ~ 3 のいずれか 1 項に記載の半導体装置。 30

【請求項 5】

外部電源電圧を降圧して内部電源電圧を生成するレギュレータ回路を備えた半導体装置において、

前記レギュレータ回路は、

前記内部電源電圧の基準となる基準電圧を降圧するとともに前記内部電源電圧を降圧するレベル変換手段と、

このレベル変換手段で降圧された前記基準電圧と前記内部電源電圧との電圧値の差に応じた信号をそれぞれ出力する比較手段と、

前記比較手段から出力された信号に応じて前記外部電源電圧を降圧させて出力する出力手段と、 40

前記レベル変換手段における前記内部電源電圧の入力側と、前記比較手段における前記内部電源電圧の入力側とを接続する容量素子と
を備えたことを特徴とする半導体装置。

【発明の詳細な説明】**【技術分野】****【0001】**

本発明は、半導体装置に関するものであって、特に、レギュレータ回路で構成した内部電源電圧発生回路を備えた半導体装置に関するものである。

【背景技術】

【 0 0 0 2 】

従来、パーソナルコンピュータや携帯電話などの電子機器では、マイクロプロセッサ、メモリ素子、あるいは動画処理素子などの所定の処理を実行する電子素子をシステムボードなどの実装基板に装着し、この実装基板に設けた配線を介して各種電子素子を電氣的に接続している。

【 0 0 0 3 】

このような電子機器では、常に小型化・軽量化・低消費電力化などの強い要求があり、この要求に対応するために電子機器に内蔵される各電子素子や実装基板をさらに小型化・軽量化・低消費電力化するための技術開発が行われている。

【 0 0 0 4 】

特に、半導体基板上に所要の回路を形成して構成した半導体素子などの電子素子では、回路を構成している配線やトランジスタなどの素子を微細化することによって小型化するとともに、小型化にともなう動作電圧の低減化によって低消費電力化されている。しかも、電子素子では、半導体基板上に形成する素子の微細化にともなって高集積化が可能となり、従来であれば別々の半導体基板に形成していた回路を同一の半導体基板上に形成するS o C (システムオンチップ) 構造を採用することによって電子素子を多機能化し、実装基板に配設する電子素子の数を削減することによる小型化も行われている。

【 0 0 0 5 】

このように高集積化された半導体素子では、半導体基板上に形成された素子の微細化にともなって半導体素子の電源電圧を低減させることができるが、半導体基板上に形成されるトランジスタのしきい値電圧は不変であるので、電源電圧に占めるトランジスタのしきい値電圧の比率が上昇することとなり、高精度に調整された電源電圧が必要となっていた。

【 0 0 0 6 】

すなわち、例えば、半導体基板上に形成する回路の平均的なサイズを65nmとするいわゆる65nmプロセスで形成した半導体素子では、電源電圧として1.0Vが用いられることがあり、これに対してPチャンネル電界効果トランジスタであるPMOSTランジスタとNチャンネル電界効果トランジスタであるNMOSTランジスタのしきい値電圧の和が、ワースト条件では0.8V以上となる場合があって、電源電圧が不安定となると半導体素子が正常に動作できなくなるおそれがあった。

【 0 0 0 7 】

そこで、できるだけ高精度に調整された電源電圧を必要とする半導体素子に対しては、所定の電源電圧を生成して出力する電子素子によって電源電圧を供給する方法が用いられる場合がある。

【 0 0 0 8 】

しかしながら、半導体素子とは別に電源電圧を供給するための電源電圧供給用電子素子を設けた場合には、半導体素子と電源電圧供給用電子素子との間を実装基板で電氣的に接続する必要があるため、配線が長くなりやすく、この配線の抵抗による電圧低下や、配線のインダクタンス成分によるノイズの発生などの影響を受けるおそれがあり、所望の精度の電源電圧が得られないおそれがあった。

【 0 0 0 9 】

他の方法として、半導体素子に、半導体素子で必要とされる電源電圧よりも通常2 ~ 3倍程度以上大きい実装基板の電源電圧を入力し、この電源電圧をそのまま適宜降圧して使用する方法もある。

【 0 0 1 0 】

しかしながら、実装基板の電源電圧を降圧して使用した場合には、電力効率が50%よりも小さくなるために低消費電力化が困難であり、現実的ではなかった。

【 0 0 1 1 】

このような状況にあって、昨今、半導体素子のS o C構造が広く利用されてくることにより、電源回路自体を半導体素子における半導体基板上に形成することが行われており、

10

20

30

40

50

このように半導体基板上に形成される電源回路としてレギュレータ回路が知られている（例えば、特許文献 1 参照。）。

【 0 0 1 2 】

レギュレータ回路は、図 8 に示すように、所定の電圧とした基準電圧 V_{ref} と内部電源電圧 V_{in} とを比較する比較手段としての比較回路 a と、この比較回路 a での比較結果に基づいて外部電源電圧 V_{DD} を降圧して出力する出力手段であるドライバトランジスタ b とで構成している。

【 0 0 1 3 】

比較回路 a は、差動増幅部としての NMOS トランジスタ Q100 と、NMOS トランジスタ Q200 を備え、NMOS トランジスタ Q100 のソース、及び NMOS トランジスタ Q200 のソースをそれぞれ電
10
流制御用の共通の NMOS トランジスタ Q300 を介して接地電圧が印加される接地電源線に接続している。NMOS トランジスタ Q300 のゲートには、レギュレータ回路の活性の状態と非活性状態とを切替え制御するタイミング信号 300 を入力している。

【 0 0 1 4 】

そして、NMOS トランジスタ Q100 のゲートには所定の基準電圧 V_{ref} を入力し、NMOS トランジスタ Q200 のゲートには内部電源電圧 V_{in} を入力して、基準電圧 V_{ref} と内部電源電圧 V_{in} とを比較している。

【 0 0 1 5 】

さらに、比較回路 a では、NMOS トランジスタ Q100 のドレインを PMOS トランジスタ Q400 を介して外部電源電圧 V_{DD} が印加される電源線に接続するとともに、NMOS トランジスタ Q200
20
のドレインを PMOS トランジスタ Q500 を介して外部電源電圧 V_{DD} が印加される電源線に接続し、さらに、PMOS トランジスタ Q400 のゲートと PMOS トランジスタ Q500 のゲートとを互いに接続するとともに、NMOS トランジスタ Q200 のドレインに接続している。

【 0 0 1 6 】

そして、PMOS トランジスタで構成したドライバトランジスタ b のドレインには外部電源電圧 V_{DD} が印加される電源線を接続し、ゲートには NMOS トランジスタ Q100 のドレインを接続して、比較回路 a での準電圧 V_{ref} と内部電源電圧 V_{in} との比較に基づいて生じた NMOS トランジスタ Q100 のドレイン電圧をドライバトランジスタ b のゲートに印加することにより、
30
ドライバトランジスタ b によって外部電源電圧 V_{DD} を所定の電圧だけ電圧降下させて出力し、基準電圧 V_{ref} と同じ電圧の内部電源電圧 V_{in} を供給可能としている。

【 0 0 1 7 】

このように構成したレギュレータ回路は、外部電源電圧 V_{DD} が印加される電源線と、接地電圧が印加される接地電源線との間に、1 段の PMOS トランジスタと、2 段の NMOS トランジスタとによって 3 段のトランジスタが配設されているため、それぞれのトランジスタのしきい値電圧を 0.5V とすると、外部電源電圧 V_{DD} は 1.5V 以上でないとレギュレータ回路が正常に動作できないこととなっていた。

【 0 0 1 8 】

昨今では、前述したように低消費電力化が求められていることによって、外部電源電圧 V_{DD} もできるだけ低くすることが望まれており、例えば前述した 65nm プロセスで形成した半導体素子のように外部電源電圧として 1.0V が用いられた場合には、図 8 に示したレギュ
40
レータ回路は、そのままでは利用できないこととなっていた。

【 0 0 1 9 】

そこで、図 9 に示すように、レギュレータ回路には、基準電圧 V_{ref} 及び内部電源電圧 V_{in} をそれぞれ降圧させるレベル変換手段であるレベルシフト回路 c を設け、このレベルシフト回路 c でそれぞれ降圧した基準電圧 V_{ref} と内部電源電圧 V_{in} を比較することにより、より低電圧の外部電源電圧 V_{DD} でも駆動するようにしたレギュレータ回路が提案されている。図 9 のレギュレータ回路中、図 8 のレギュレータ回路と同一構成物については同一符号を用い、重複する説明は省略する。

【 0 0 2 0 】

レベルシフト回路 c は、ドレインを外部電源電圧 V_{DD} が印加される電源線に接続すると

ともに、ソースをPMOSトランジスタQ800を介して接地電源線に接続したNMOSトランジスタQ600と、ドレインを外部電源電圧VDDが印加される電源線に接続するとともに、ソースをPMOSトランジスタQ900を介して接地電源線に接続したNMOSトランジスタQ700とを備え、PMOSトランジスタQ800のゲートとPMOSトランジスタQ900のゲートとを互いに接続するとともに、PMOSトランジスタQ900のドレイン接続している。

【0021】

そして、レベルシフト回路cでは、NMOSトランジスタQ600のゲートに基準電圧Vrefを入力し、NMOSトランジスタQ700のゲートに内部電源電圧Vinを入力し、NMOSトランジスタQ600のソースを比較回路aのNMOSトランジスタQ100のゲートに接続し、NMOSトランジスタQ700のソースを比較回路aのNMOSトランジスタQ200のゲートに接続している。

10

【0022】

したがって、比較回路aのNMOSトランジスタQ100のゲートには、基準電圧VrefからNMOSトランジスタQ600のしきい値電圧Vth分だけ降圧した電圧が入力され、比較回路aのNMOSトランジスタQ200のゲートには、内部電源電圧VinからNMOSトランジスタQ700のしきい値電圧Vth分だけ降圧した電圧が入力され、比較回路aに供給される外部電源電圧VDDをレベルシフト回路cを設けないレギュレータ回路よりも低減させることができ、低外部電源電圧で確実に動作させることができる。

【特許文献1】特開2001-216779号公報

【発明の開示】

【発明が解決しようとする課題】

20

【0023】

しかしながら、上記したレベルシフト回路を備えたレギュレータ回路では、このレギュレータ回路を備えた半導体装置を動作させた際に、レベルシフト回路の動作の分だけレギュレータ回路の動作に遅延が生じやすく、図10(a)に示すように、レギュレータ回路を備えた半導体装置の動作開始直後(t1)には、レギュレータ回路から出力される内部電源電圧に大きなドロップが生じ、しかもこの電圧のドロップ状態が速やかに解消されず、レギュレータ回路を活性の状態とするタイミング信号が入力された後(t2)でも直ちには所定電圧の内部電源電圧が出力できない場合があった。

【0024】

なお、図10(a)中、破線は、図8に示したレベルシフト回路を設けていないレギュレータ回路を低電圧状態で動作させた場合におけるレギュレータ回路の出力電圧を示しており、レベルシフト回路を設けない場合では、適正な出力電圧が得られていない。図10(a)中、t3は半導体装置が動作終了となった時間である。

30

【0025】

また、図10(b)は、半導体装置の消費電流(一点鎖線)に対するレギュレータ回路による供給電流を示したグラフであり、レギュレータ回路による電流供給を、レギュレータ回路を活性の状態とした後(t2)からしか行うことができなかった。なお、図10(b)中、破線は、図8に示したレベルシフト回路を設けていないレギュレータ回路を低電圧状態で動作させた場合におけるレギュレータ回路による供給電流を示しており、レベルシフト回路を設けない場合では、適正な電流供給が行えていない。

40

【課題を解決するための手段】

【0026】

本発明の半導体装置では、外部電源電圧を降圧して内部電源電圧を生成するレギュレータ回路を備えた半導体装置において、レギュレータ回路は、内部電源電圧の基準となる基準電圧を降圧させるとともに内部電源電圧を降圧させるレベル変換手段と、このレベル変換手段で降圧された基準電圧と内部電源電圧との電圧値の差に応じた信号をそれぞれ出力する第1の比較手段と第2の比較手段と、第1の比較手段から出力された信号に応じて外部電源電圧を降圧させて出力する第1の出力手段と、第2の比較手段から出力された信号に応じて外部電源電圧を降圧させて出力する第2の出力手段と、第2の比較回路から出力された信号に因らずに第2の出力手段から所定の電圧を出力させる強制出力手段とを備え

50

ていることに特徴を有するものである。

【0027】

さらに、以下の点にも特徴を有するものである。すなわち、

(1) 第2の出力手段は、ドレインに外部電源電圧の電源線を接続し、ゲートに第2の比較手段から出力された信号が入力される電界効果トランジスタであって、強制出力手段は、電界効果トランジスタをオン状態とすることにより、電界効果トランジスタを介して外部電源電圧を出力させること。

(2) 電界効果トランジスタはPチャネル電界効果トランジスタであって、強制出力手段は接地電圧にプリチャージされた容量素子を備え、この容量素子をPチャネル電界効果トランジスタのゲートに接続させてオン状態とすること。

(3) レベル変換手段における内部電源電圧の入力側と、第1の比較手段における内部電源電圧の入力側とを接続する容量素子を設けたこと。

【0028】

また、本発明の半導体装置では、外部電源電圧を降圧して内部電源電圧を生成するレギュレータ回路を備えた半導体装置において、レギュレータ回路は、内部電源電圧の基準となる基準電圧を降圧するとともに内部電源電圧を降圧するレベル変換手段と、このレベル変換手段で降圧された基準電圧と内部電源電圧との電圧値の差に応じた信号をそれぞれ出力する比較手段と、比較手段から出力された信号に応じて外部電源電圧を降圧させて出力する出力手段と、レベル変換手段における内部電源電圧の入力側と、比較手段における内部電源電圧の入力側とを接続する容量素子とを備えていることに特徴を有するものである。

【発明の効果】

【0029】

請求項1記載の発明によれば、外部電源電圧を降圧して内部電源電圧を生成するレギュレータ回路を備えた半導体装置において、レギュレータ回路は、内部電源電圧の基準となる基準電圧を降圧させるとともに内部電源電圧を降圧させるレベル変換手段と、このレベル変換手段で降圧された基準電圧と内部電源電圧との電圧値の差に応じた信号をそれぞれ出力する第1の比較手段と第2の比較手段と、第1の比較手段から出力された信号に応じて外部電源電圧を降圧させて出力する第1の出力手段と、第2の比較手段から出力された信号に応じて外部電源電圧を降圧させて出力する第2の出力手段と、第2の比較回路から出力された信号に因らずに第2の出力手段から所定の電圧を出力させる強制出力手段とを備えていることによって、レギュレータ回路の動作開始直後に大きくかつ長時間の電圧のドロップが生じることを抑制して、低電圧の動作条件下でも速やかに所定の内部電源電圧を安定的に供給可能なレギュレータ回路を備えた半導体装置を提供できる。

【0030】

請求項2記載の発明によれば、請求項1記載の半導体装置において、第2の出力手段は、ドレインに外部電源電圧の電源線を接続し、ゲートに第2の比較手段から出力された信号が入力される電界効果トランジスタであって、強制出力手段は、電界効果トランジスタをオン状態とすることにより、電界効果トランジスタを介して外部電源電圧を出力させることによって、レギュレータ回路の動作開始直後にレギュレータ回路に生じる出力電圧のドロップを極めて簡単な構成で解消できる。

【0031】

請求項3記載の発明によれば、請求項2記載の半導体装置において、電界効果トランジスタはPチャネル電界効果トランジスタであって、強制出力手段は接地電圧にプリチャージされた容量素子を備え、この容量素子をPチャネル電界効果トランジスタのゲートに接続させてオン状態とすることによって、レギュレータ回路の動作開始直後にレギュレータ回路に生じる出力電圧のドロップを極めて簡単な構成で解消できるとともに、出力電圧のドロップの解消後には、Pチャネル電界効果トランジスタのゲートに接地電圧より高い電圧が入力されて外部電源電圧での出力を速やかに抑制できる。

【0032】

10

20

30

40

50

請求項4記載の発明によれば、請求項1～3のいずれか1項に記載の半導体装置において、レベル変換手段における内部電源電圧の入力側と、第1の比較手段における内部電源電圧の入力側とを接続する容量素子を設けたことによって、レベル変換手段による応答遅れの影響を低減でき、レギュレータ回路の動作速度を向上させることができる。

【0033】

請求項5記載の発明によれば、外部電源電圧を降圧して内部電源電圧を生成するレギュレータ回路を備えた半導体装置において、レギュレータ回路は、内部電源電圧の基準となる基準電圧を降圧するとともに内部電源電圧を降圧するレベル変換手段と、このレベル変換手段で降圧された基準電圧と内部電源電圧との電圧値の差に応じた信号をそれぞれ出力する比較手段と、比較手段から出力された信号に応じて外部電源電圧を降圧させて出力する出力手段と、レベル変換手段における内部電源電圧の入力側と、比較手段における内部電源電圧の入力側とを接続する容量素子とを備えていることによって、レベル変換手段による応答遅れの影響を低減でき、レギュレータ回路の動作速度を向上させることができる。

10

【発明を実施するための最良の形態】

【0034】

本発明の半導体装置は、外部電源電圧を降圧して内部電源電圧を生成するレギュレータ回路を備えた半導体装置であって、このレギュレータ回路は、基準電圧と内部電源電圧との電圧値の差に応じた信号をそれぞれ出力する比較手段と、この比較手段から出力された信号に応じて外部電源電圧を降圧させて出力する出力手段を備えたいわゆるシースレギュレータで構成しているものである。

20

【0035】

特に、本発明の半導体装置に設けたレギュレータ回路には、内部電源電圧の基準となる基準電圧を降圧させるとともに内部電源電圧を降圧させるレベル変換手段を設け、低電圧の内部電源電圧を安定的に出力可能としているものである。

【0036】

さらに、レギュレータ回路には、第1の比較手段と、この第1の比較手段に基づいて内部電源電圧を出力する第1の出力手段を設けるとともに、レベル変換手段に対して第1の比較手段及び第1の出力手段と並列させて第2の比較手段及び第2の出力手段とを設けて、第1の出力手段と第2の出力手段から内部電源電圧を出力可能とし、しかも、第2の出力手段には第2の比較回路から出力された信号に因らずに第2の出力手段から所定の電圧を出力させる強制出力手段とを設けているものである。

30

【0037】

したがって、レギュレータ回路では、所定の内部電源電圧を出力できない場合に、強制出力手段によって第2の出力手段から所定の内部電源電圧を出力させることによって、速やかに所定の内部電源電圧を出力可能なレギュレータ回路とすることができ、このレギュレータ回路を備えた半導体装置の動作性能の向上を図ることができる。

【0038】

また、レギュレータ回路には、強制出力手段を設けるのではなく、レベル変換手段における内部電源電圧の入力側と、比較手段における内部電源電圧の入力側とを接続する容量素子を設けた場合には、レベル変換手段による応答遅れの影響を低減でき、レギュレータ回路の動作速度を向上させることができる。

40

【0039】

以下において、図面に基づいて本発明の実施形態を詳説する。図1は、本実施形態の半導体装置10の概略模式図である。

【0040】

半導体装置10には、所定位置に所定の処理を実行するロジック回路で構成した第1ロジック回路部11a、第2ロジック回路部11b、所要のデータを記憶するメモリ回路で構成した第1記憶部12a、第2記憶部12b、第3記憶部12c、第4記憶部12d、第5記憶部12e、所要の処理を実行するアナログ回路で構成したアナログ回路部13を配置し、これらの回路部が

50

形成された半導体基板の外周縁に沿って外部接続端子14が配置されている。本実施形態では、説明の便宜上、2つのロジック回路部、5つの記憶部、1つのアナログ回路部を設けているが、それぞれの配設数は適宜としてよい。

【0041】

第1ロジック回路部11a及び第2ロジック回路部11bには、CPU (Central Processing Unit)、画像処理、ネットワーク処理などの用途に応じた様々なIP (Intellectual Property) が搭載されている。また、アナログ回路部13には、アナログ・デジタル変換器、デジタル・アナログ変換器、インターフェース回路、PLL / DLL (Phase / Delay Locked Loop) などが形成されている。第1～5記憶部12a～eは、第1ロジック回路部11a及び第2ロジック回路部11bに隣接させて設け、第1ロジック回路部11a及び第2ロジック回路部11bで使用するデータを第1ロジック回路部11a及び第2ロジック回路部11bに受け渡したり、あるいは第1ロジック回路部11a及び第2ロジック回路部11bから受け取ったりしている。

10

【0042】

各回路部には、所定の内部電源電圧を生成して出力する内部電圧発生回路15を隣接させて設けている。この内部電圧発生回路15は外部電源電圧入力線16を介して外部電源電圧が入力される外部接続端子14と接続し、内部電圧発生回路15に外部電源電圧を供給している。

【0043】

内部電圧発生回路15は、図2に概略模式図で示すように、入力された外部電源電圧VDDから所定の定電流を生成する定電流発生回路21と、この定電流発生回路21で生成した電流を用いて所定の基準電圧Vrefを生成する基準電圧発生回路22と、この基準電圧発生回路22で生成された基準電圧と同一電圧の内部電源電圧Vinを生成するレギュレータ回路23とで構成している。

20

【0044】

基準電圧発生回路22では、複数種類の基準電圧Vrefを生成可能としており、各基準電圧Vrefに対してそれぞれレギュレータ回路23を設けて各内部電源電圧Vinを出力可能としている。

【0045】

定電流発生回路21は、図3に示すように、互いにゲートを接続するとともに、ドレインをそれぞれ外部電源電圧VDDが印加される電圧線に接続したPチャンネル電界効果トランジスタQ1とPチャンネル電界効果トランジスタQ2を備え、さらに、Pチャンネル電界効果トランジスタQ1及びPMOSTランジスタQ2のソースにそれぞれドレインを接続するとともにソースを接地電圧が印加される接地電源線に接続したNチャンネル電界効果トランジスタQ3とNチャンネル電界効果トランジスタQ4とを備えている。以下において、Pチャンネル電界効果トランジスタはPMOSTランジスタ、Nチャンネル電界効果トランジスタはNMOSTランジスタと表記することとする。

30

【0046】

PMOSTランジスタQ2と外部電源電圧VDDが印加される電圧線との間には、電流発生用の所定の抵抗値とした抵抗体R1を設けて、PMOSTランジスタQ1とNMOSTランジスタQ3との間、及びPMOSTランジスタQ2とNMOSTランジスタQ4との間に、それぞれ所定の定電流*i*を通電させている。

40

【0047】

基準電圧発生回路22は、PMOSTランジスタQ1及びPMOSTランジスタQ2と同一サイズのPMOSTランジスタで構成したPMOSTランジスタQ5と、このPMOSTランジスタQ5のソースに接続した多連のPMOSTランジスタで構成したロングチャネルトランジスタQ6と、PMOSTランジスタQ5のソースに出力された電流を増幅する電流増幅バッファ回路22aと、この電流増幅バッファ回路22aから出力された電流から所定の電圧を発生させる出力電圧調整用抵抗R2を備えている。

【0048】

50

PMOSトランジスタQ5のゲートは、PMOSトランジスタQ1のソースが接続されるとともに、PMOSトランジスタQ1のゲートが接続されてカレントミラーを構成しており、PMOSトランジスタQ5に定電流発生回路21で生成された定電流 i を発生させている。

【0049】

PMOSトランジスタQ5は、ドレインを外部電源電圧VDDが印加される電圧線に接続し、ソースをロングチャネルトランジスタQ6を介して接地電圧が印加される接地電源線に接続しており、ロングチャネルトランジスタQ6のチャネル抵抗を r とし、ロングチャネルトランジスタQ6のしきい値電圧を V_{th} とすると、PMOSトランジスタQ5で発生させた定電流 i によって生成される主基準電圧 V_{ref0} は、「 $i r + V_{th}$ 」となる。

【0050】

電流増幅バッファ回路22aでは、出力抵抗の高い主基準電圧 V_{ref0} を低出力抵抗として出力し、電流増幅バッファ回路22aから出力された主基準電圧 V_{ref0} を出力電圧調整用抵抗 $R2$ によって抵抗分割を行って所定の電圧値の基準電圧 V_{ref} として出力し、各レギュレータ回路23に所定の基準電圧 V_{ref} を入力している。図3中、 V_{refa} 及び V_{refb} は、それぞれ電圧値の異なる基準電圧である。

【0051】

レギュレータ回路23は、図4に示すように、所定の電圧とした基準電圧 V_{ref} を降圧させるとともに内部電源電圧 V_{in} を降圧させるレベル変換手段であるレベルシフト回路Cと、このレベルシフト回路Cで降圧された降圧基準電圧 V_{ref}' と降圧内部電源電圧 V_{in}' との電圧値の差に応じた信号を出力する第1比較回路A1及び第2比較回路A2と、比較手段である第1比較回路A1から出力された信号に応じて外部電源電圧VDDを降圧させて出力する出力手段である第1ドライブトランジスタB1と、比較手段である第2比較回路A2から出力された信号に応じて外部電源電圧VDDを降圧させて出力する出力手段である第2ドライブトランジスタB2を備えている。

【0052】

さらに、レギュレータ回路23には、第2比較回路A2から出力された信号に因らずに第2ドライブトランジスタB2から所定の電圧を出力させる強制出力手段であるプリチャージ回路Dを設けている。

【0053】

レベルシフト回路Cは、ドレインを外部電源電圧VDDが印加される電源線に接続するとともに、ソースをPMOSトランジスタQ7を介して接地電源線に接続したNMOSトランジスタQ8と、ドレインを外部電源電圧VDDが印加される電源線に接続するとともに、ソースをPMOSトランジスタQ9を介して接地電源線に接続したNMOSトランジスタQ10とを備え、PMOSトランジスタQ7のゲートとPMOSトランジスタQ9のゲートとを互いに接続するとともに、PMOSトランジスタQ9のドレイン接続している。

【0054】

そして、レベルシフト回路Cでは、NMOSトランジスタQ8のゲートに基準電圧 V_{ref} を入力し、NMOSトランジスタQ10のゲートに内部電源電圧 V_{in} を入力し、NMOSトランジスタQ7のソースを第1比較回路A1のNMOSトランジスタQ11のゲートに接続し、NMOSトランジスタQ10のソースを第1比較回路A1のNMOSトランジスタQ12のゲートに接続するとともに、NMOSトランジスタQ7のソースを第2比較回路A2のNMOSトランジスタQ13のゲートに接続し、NMOSトランジスタQ10のソースを第2比較回路A2のNMOSトランジスタQ14のゲートに接続している。

【0055】

したがって、第1比較回路A1のNMOSトランジスタQ11のゲート、及び第2比較回路A2のNMOSトランジスタQ13のゲートには、基準電圧 V_{ref} からNMOSトランジスタQ8のしきい値電圧 V_{th} 分だけ降圧した降圧基準電圧 $V_{ref}' = V_{ref} - V_{th}$ が入力され、第1比較回路A1のNMOSトランジスタQ12のゲート、及び第2比較回路A2のNMOSトランジスタQ14のゲートには、内部電源電圧 V_{in} からNMOSトランジスタQ10のしきい値電圧 V_{th} 分だけ降圧した降圧内部電源電圧 $V_{in}' = V_{in} - V_{th}$ が入力される。

10

20

30

40

50

【 0 0 5 6 】

第 1 比較回路 A1 は、差動増幅部としての NMOS トランジスタ Q11 と、NMOS トランジスタ Q12 を備え、NMOS トランジスタ Q11 のソース、及び NMOS トランジスタ Q12 のソースをそれぞれ電流制御用の共通の NMOS トランジスタ Q15 を介して接地電圧が印加される接地電源線に接続している。NMOS トランジスタ Q15 のゲートには、レギュレータ回路 23 の活性の状態と非活性状態とを切替え制御するタイミング信号 15 を入力している。

【 0 0 5 7 】

そして、NMOS トランジスタ Q11 のゲートには降圧基準電圧 V_{ref}' を入力し、NMOS トランジスタ Q12 のゲートには降圧内部電源電圧 V_{in}' を入力して、降圧基準電圧 V_{ref}' と降圧内部電源電圧 V_{in}' とを比較している。

10

【 0 0 5 8 】

さらに、第 1 比較回路 A1 では、NMOS トランジスタ Q11 のドレインを PMOS トランジスタ Q16 を介して外部電源電圧 VDD が印加される電源線に接続するとともに、NMOS トランジスタ Q12 のドレインを PMOS トランジスタ Q17 を介して外部電源電圧 VDD が印加される電源線に接続し、さらに、PMOS トランジスタ Q16 のゲートと PMOS トランジスタ Q17 のゲートとを互いに接続するとともに、NMOS トランジスタ Q12 のドレインに接続している。

【 0 0 5 9 】

そして、PMOS トランジスタで構成した第 1 ドライバトランジスタ B1 のドレインには外部電源電圧 VDD が印加される電源線を接続し、ゲートには NMOS トランジスタ Q11 のドレインを接続して、第 1 比較回路 A1 での降圧基準電圧 V_{ref}' と降圧内部電源電圧 V_{in}' との比較に基づいて生じた NMOS トランジスタ Q11 のドレイン電圧を第 1 ドライバトランジスタ B1 のゲートに印加することにより、第 1 ドライバトランジスタ B1 によって外部電源電圧 VDD を所定の電圧だけ電圧降下させて出力し、基準電圧 V_{ref} と同じ電圧の内部電源電圧 V_{in} を供給可能としている。

20

【 0 0 6 0 】

第 2 比較回路 A2 も第 1 比較回路 A1 と同様に、差動増幅部としての NMOS トランジスタ Q13 と、NMOS トランジスタ Q14 を備え、NMOS トランジスタ Q13 のソース、及び NMOS トランジスタ Q14 のソースをそれぞれ電流制御用の共通の NMOS トランジスタ Q18 を介して接地電圧が印加される接地電源線に接続している。NMOS トランジスタ Q18 のゲートには、レギュレータ回路 23 の活性の状態と非活性状態とを切替え制御するタイミング信号 15 を入力している。

30

【 0 0 6 1 】

そして、NMOS トランジスタ Q13 のゲートには降圧基準電圧 V_{ref}' を入力し、NMOS トランジスタ Q14 のゲートには降圧内部電源電圧 V_{in}' を入力して、降圧基準電圧 V_{ref}' と降圧内部電源電圧 V_{in}' とを比較している。

【 0 0 6 2 】

さらに、第 2 比較回路 A2 では、NMOS トランジスタ Q13 のドレインを PMOS トランジスタ Q19 を介して外部電源電圧 VDD が印加される電源線に接続するとともに、NMOS トランジスタ Q14 のドレインを PMOS トランジスタ Q20 を介して外部電源電圧 VDD が印加される電源線に接続し、さらに、PMOS トランジスタ Q19 のゲートと PMOS トランジスタ Q20 のゲートとを互いに接続するとともに、NMOS トランジスタ Q14 のドレインに接続している。

40

【 0 0 6 3 】

そして、PMOS トランジスタで構成した第 2 ドライバトランジスタ B2 のドレインには外部電源電圧 VDD が印加される電源線を接続し、ゲートには NMOS トランジスタ Q13 のドレインを接続して、第 2 比較回路 A2 での降圧基準電圧 V_{ref}' と降圧内部電源電圧 V_{in}' との比較に基づいて生じた NMOS トランジスタ Q13 のドレイン電圧を第 2 ドライバトランジスタ B2 のゲートに印加することにより、第 2 ドライバトランジスタ B2 によって外部電源電圧 VDD を所定の電圧だけ電圧降下させて出力し、基準電圧 V_{ref} と同じ電圧の内部電源電圧 V_{in} を供給可能としている。

【 0 0 6 4 】

ブリチャージ回路 D は、第 2 ドライバトランジスタ B2 のゲートにドレインを接続した NM

50

OSトランジスタQ21と、このNMOSトランジスタQ21のソースに一端を接続するとともに他端を接地電源線に接続した容量素子fと、NMOSトランジスタQ21のソースにドレインを接続するとともにソースを接地電源線に接続して容量素子fと並列に配置したNMOSトランジスタQ22と、このNMOSトランジスタQ22のゲートにブロックイネーブル信号BEを反転させて入力する反転素子gを備えている。

【0065】

ブロックイネーブル信号BEは、本実施形態では半導体装置10内の各回路部が活性化された場合にLowレベルとなり、半導体装置10内の各回路部が活性化されていない場合にHighレベルとなる信号としており、NMOSトランジスタQ21のゲートにブロックイネーブル信号

BEを入力するとともに、NMOSトランジスタQ22のゲートに反転素子gによるブロックイネーブル信号BEの反転信号を入力することによりプリチャージ回路Dを制御している。 10

【0066】

すなわち、半導体装置10が動作を開始した直後では、半導体装置10内の各回路部が活性化されていないためにブロックイネーブル信号BEはHighレベルとなり、NMOSトランジスタQ21はオン状態となるとともに、NMOSトランジスタQ22はオフ状態となって容量素子fの電圧を第2ドライバトランジスタB2のゲートに印加している。

【0067】

ここで、容量素子fはあらかじめ接地電圧にプリチャージしており、接地電圧が第2ドライバトランジスタB2のゲートに印加されることによって第2ドライバトランジスタB2をオン状態として外部電源電圧VDDを出力させている。 20

【0068】

したがって、図5(a)に示すように、レギュレータ回路23を備えた半導体装置10の動作開始直後(t1)には、強制出力手段であるプリチャージ回路Dによって第2ドライバトランジスタB2から内部電源電圧Vinが出力されるので、内部電源電圧に大きなドロップが生じることを抑制できる。

【0069】

また、プリチャージ回路Dによって第2ドライバトランジスタB2から内部電源電圧Vinが出力されることによって、図5(b)に示すように、レギュレータ回路23からは、半導体装置10の動作開始直後(t1)から速やかに電流供給が開始されるので、高速給電を可能とすることができる。 30

【0070】

しかも、プリチャージ回路Dでは、第2ドライバトランジスタB2のゲートに容量素子fによって印加された接地電圧を用いて第2ドライバトランジスタB2をオン状態としており、いわゆるワンショット的に第2ドライバトランジスタB2をオン状態とすることができ、その後は、第2比較回路A2の動作にともなって第2ドライバトランジスタB2が制御されることにより、必要な電流の給電を完了するまでの間にレギュレータ回路23が正常動作を開始することにより、電流の供給過剰が生じることを防止できる。

【0071】

レギュレータ回路23が正常動作を開始する際には、ブロックイネーブル信号BEはLowレベルとなることによって、NMOSトランジスタQ21はオフ状態となるとともに、NMOSトランジスタQ22はオン状態となって、容量素子fに接地電圧をプリチャージしている。 40

【0072】

このように、レギュレータ回路23では、プリチャージ回路Dで動作制御される第2ドライバトランジスタB2及び第2比較回路A2を、第1ドライバトランジスタB1及び第1比較回路A1に並列させて設けたことによって、レギュレータ回路23の動作開始直後に大きくかつ長時間の電圧のドロップが生じることを抑制できる。

【0073】

しかも、プリチャージ回路Dでは接地電圧をプリチャージした容量素子fを設け、レギュレータ回路23が動作を開始した直後に容量素子fの接地電圧を第2ドライバトランジスタB2に印加して強制的に第2ドライバトランジスタB2から内部電源電圧Vinを出力させる 50

ことにより、極めて簡単な構成でレギュレータ回路23に生じる出力電圧のドロップを抑制できる。

【0074】

また、レギュレータ回路23のプリチャージ回路Dでは、図6に示すように、NMOSトランジスタQ21と第2ドライバトランジスタB2との間に、容量遮断用のNMOSトランジスタQ23を介設してもよい。特に、NMOSトランジスタQ23では、ドレインとベースとを接続している。

【0075】

プリチャージ回路Dでは、レギュレータ回路23の正常動作時には、プリチャージ回路D内の容量素子fが第2ドライバトランジスタB2の応答性を低下させる原因となるおそれがあるが、NMOSトランジスタQ23をNMOSトランジスタQ21と第2ドライバトランジスタB2との間に介設し、しかも、NMOSトランジスタQ23ではドレインとベースとを接続してしきい値接続としておくことにより、容量素子fの放電による第2ドライバトランジスタB2の動作後、NMOSトランジスタQ23を自動的にオフ状態とすることができ、容量素子fを第2ドライバトランジスタB2から切り離すことができる。

【0076】

さらに、レギュレータ回路23では、図6に示すように、レベルシフト回路Cにおける内部電源電圧Vinの入力側と、第1比較回路A1及び第2比較回路A2における降圧内部電源電圧Vin'の入力側とを接続するいわゆるキック容量と呼ばれる第1容量素子f1を設けることもできる。

【0077】

このように第1容量素子f1を設けた場合には、内部電源電圧Vinの変動を直接的に第1比較回路A1及び第2比較回路A2に伝達することができるので、内部電源電圧Vinが変動した際のレベルシフト回路Cにおける各トランジスタの電圧・電流変化を待って第1比較回路A1及び第2比較回路A2を動作させることにより生じる応答遅れを抑制でき、レギュレータ回路23の動作速度を向上させることができる。

【0078】

ただし、レベルシフト回路Cにおける内部電源電圧Vinの入力側と、第1比較回路A1及び第2比較回路A2における降圧内部電源電圧Vin'の入力側とに第1容量素子f1を設けた場合には、ノイズに対する不安定性を増大させるおそれがあるので、対極であるレベルシフト回路Cにおける基準電圧Vrefの入力側と、第1比較回路A1及び第2比較回路A2における降圧基準電圧Vref'の入力側との間にダミー容量として第1容量素子f1と同一容量の第2容量素子f2を設けている。

【0079】

したがって、通常動作時も、半導体装置10内が活性化された直後も、さらにはその後も、レギュレータ回路23の高速動作を持続することができる。

【0080】

また、図4及び図6におけるプリチャージ回路Dを設けるのではなく、図7に示すように、レギュレータ回路では、所定の電圧とした基準電圧Vrefを降圧させるとともに内部電源電圧Vinを降圧させるレベル変換手段であるレベルシフト回路Cと、このレベルシフト回路Cで降圧された降圧基準電圧Vref'と降圧内部電源電圧Vin'との電圧値の差に応じた信号を出力する第1比較回路A1と、比較手段である第1比較回路A1から出力された信号に応じて外部電源電圧VDDを降圧させて出力する出力手段である第1ドライバトランジスタB1とを設け、レベルシフト回路Cにおける内部電源電圧Vinの入力側と、第1比較回路A1における降圧内部電源電圧Vin'の入力側とを接続するいわゆるキック容量と呼ばれる第1容量素子f1を設けてもよい。ここで、レベルシフト回路C、第1比較回路A1、第1ドライバトランジスタB1は、前述した図4及び図6のレギュレータ回路23におけるレベルシフト回路C、第1比較回路A1、第1ドライバトランジスタB1と同一であって、重複する説明は省略する。

【0081】

10

20

30

40

50

この場合にも、レベルシフト回路Cにおける基準電圧 V_{ref} の入力側と、第1比較回路A1における降圧基準電圧 V_{ref}' の入力側との間にダミー容量として第1容量素子 f_1 と同一容量の第2容量素子 f_2 を設けることが望ましい。

【0082】

このように構成することによって、ブロックイネーブル信号BEを用いることなくレギュレータ回路の応答性を向上させることができ、半導体装置10に電流消費が不規則に不定期に発生する場合に有効に作用させることができる。

【0083】

前述した説明で用いた実施の形態は本発明の一例を示すものであって、これらに限定されるものではない。

10

【図面の簡単な説明】

【0084】

【図1】本発明の実施形態に係る半導体装置の概略模式図である。

【図2】内部電圧発生回路の概略模式図である。

【図3】内部電圧発生回路における定電流発生回路及び基準電圧発生回路の回路図である。

【図4】レギュレータ回路の回路図である。

【図5】(a)図4の回路図のレギュレータ回路の出力電圧のグラフ、(b)図4の回路図のレギュレータ回路の出力電流のグラフである。

【図6】変容例のレギュレータ回路の回路図である。

20

【図7】変容例のレギュレータ回路の回路図である。

【図8】従来のレギュレータ回路の回路図である。

【図9】従来のレギュレータ回路の回路図である。

【図10】(a)従来のレギュレータ回路の出力電圧のグラフ、(b)従来のレギュレータ回路の出力電流のグラフである。

【符号の説明】

【0085】

V_{ref} 基準電圧

V_{in} 内部電源電圧

V_{ref}' 降圧基準電圧

30

V_{in}' 降圧内部電源電圧

A1 第1比較回路

A2 第2比較回路

B1 第1ドライブトランジスタ

B2 第2ドライブトランジスタ

D プリチャージ回路

C レベルシフト回路

23 レギュレータ回路

f 容量素子

g 反転素子

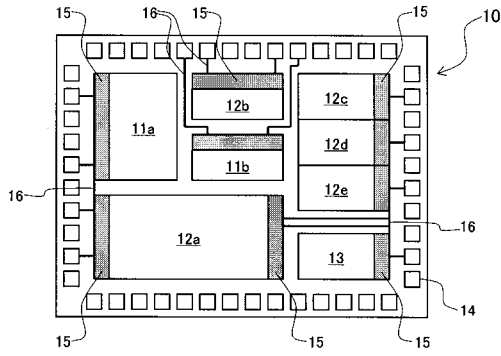
40

BE ブロックイネーブル信号

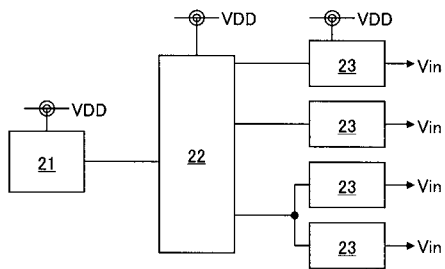
Q7, Q9, Q16, Q17, Q19, Q20 PMOSトランジスタ

Q8, Q10, Q11, Q12, Q13, Q14, Q15, Q18, Q21, Q22 NMOSトランジスタ

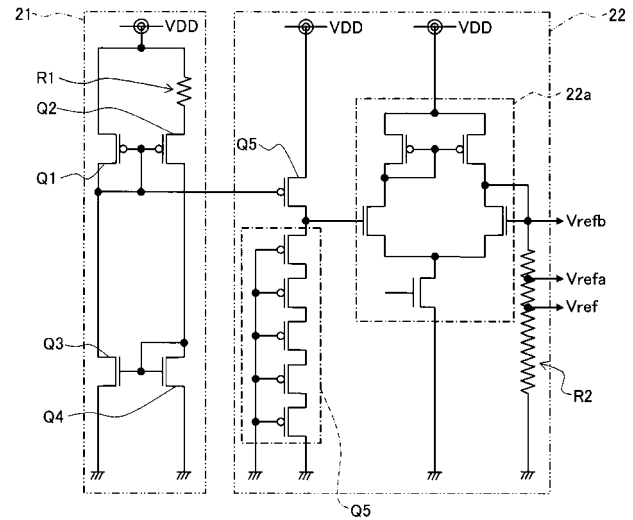
【図 1】



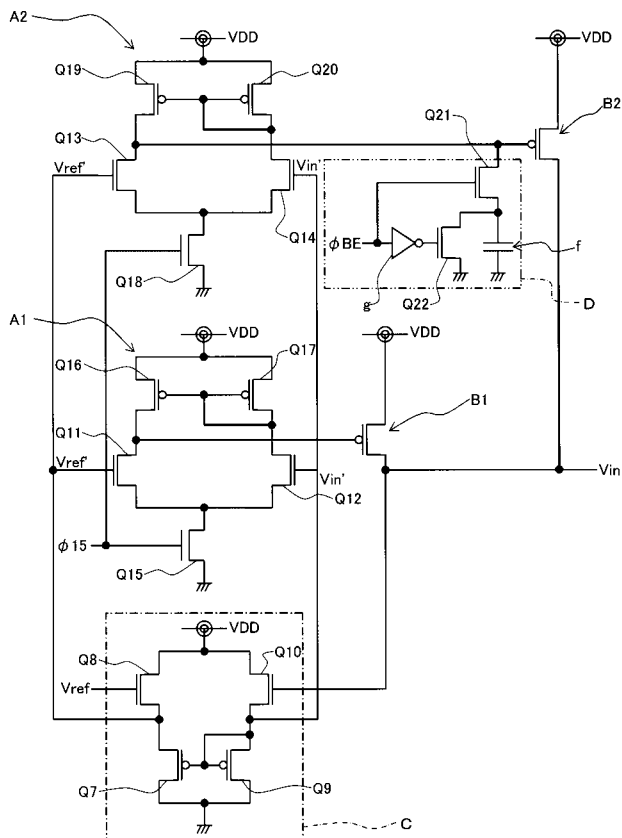
【図 2】



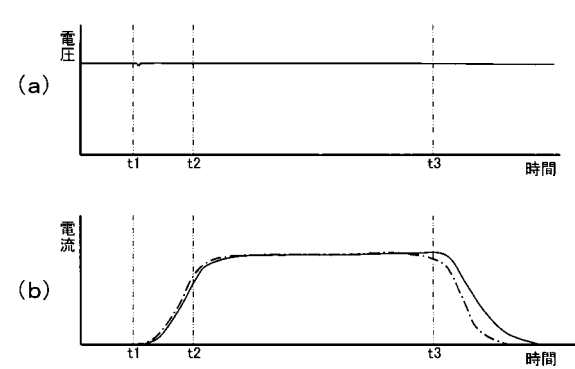
【図 3】



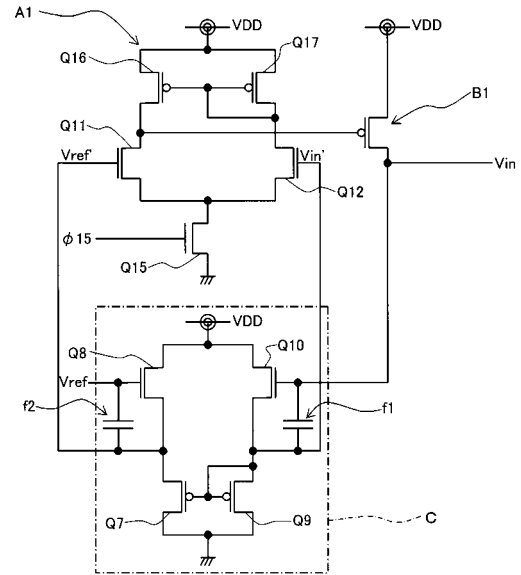
【図 4】



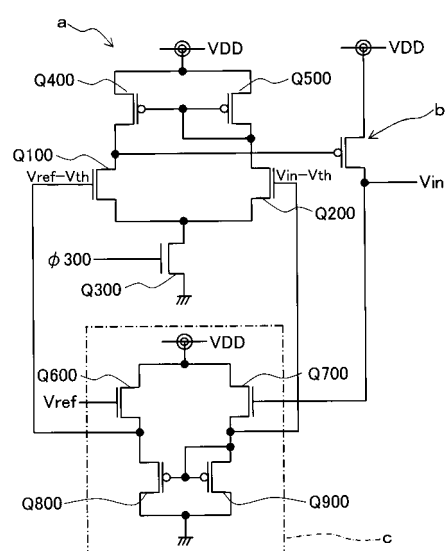
【図 5】



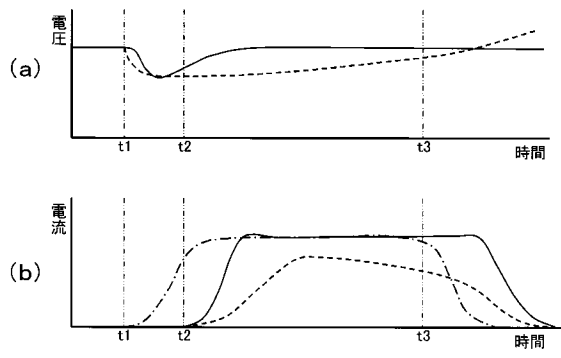
【 図 7 】



【 図 9 】



【図 10】



フロントページの続き

(72)発明者 森下 玄

福岡県北九州市若松区ひびきの2 - 7 早稲田大学大学院情報生産システム研究科内

F ターム(参考) 5F038 BB02 BB08 BG06 DF01 EZ20

5H430 BB01 BB05 BB09 BB11 EE04 EE09 FF01 FF13 GG03

5J056 AA37 BB02 CC01 CC02 CC04 CC09 CC19 CC21 DD13 DD28

DD51 EE06 EE08 EE15 FF06 GG09 KK01