

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2007-140799

(P2007-140799A)

(43) 公開日 平成19年6月7日(2007.6.7)

(51) Int. Cl.

G05F 3/26 (2006.01)

F I

G05F 3/26

テーマコード (参考)

5H420

審査請求 未請求 請求項の数 1 O L (全 10 頁)

(21) 出願番号 特願2005-332229 (P2005-332229)
(22) 出願日 平成17年11月16日 (2005.11.16)

(71) 出願人 899000068
学校法人早稲田大学
東京都新宿区戸塚町1丁目104番地
(74) 代理人 100121371
弁理士 石田 和人
(74) 代理人 100133592
弁理士 山口 浩一
(72) 発明者 潘 俊
福岡県北九州市若松区ひびきの2-7 学
校法人早稲田大学 大学院情報生産シス
テム研究科内
(72) 発明者 井上 靖秋
福岡県北九州市若松区ひびきの2-7 学
校法人早稲田大学 大学院情報生産シス
テム研究科内

最終頁に続く

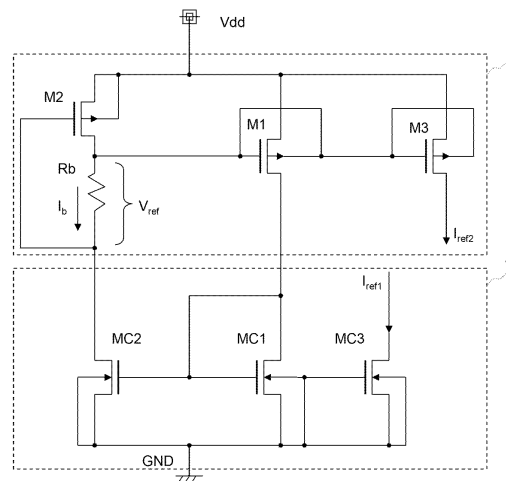
(54) 【発明の名称】 リファレンス回路

(57) 【要約】

【課題】低電圧・低消費電力で動作し、且つ温度に対する参照電圧・参照電流の変動を極めて小さく抑えることが可能な定電流・定電圧リファレンス回路を提供する。

【解決手段】カレントミラー回路1と、MOSピーキング電流源2とを備えたリファレンス回路において、MOSピーキング電流源2の出力側のMOSFET M1のバックゲートを当該MOSFET M1のゲート側に接続した。これにより、ピーキング電流源2のバックゲート・ゲート間接続がされていないMOSFETに直列に接続した1つの抵抗のみを用いることによって、出力参照電圧の温度依存性を相殺させることができる。

【選択図】図2



【特許請求の範囲】

【請求項 1】

カレントミラー回路と、MOSピーキング電流源とを備えたリファレンス回路において、前記MOSピーキング電流源の出力側のMOSFETのバックゲートを当該MOSFETのゲート側に接続したことを特徴とするリファレンス回路。

【発明の詳細な説明】

【技術分野】

【0001】

10

本発明は、基準電圧又は基準電流を生成するリファレンス回路技術に関し、特に、定電圧・低消費電力で動作し、且つ温度による基準電圧又は基準電流の変化を殆ど抑えることが可能なリファレンス回路技術に関する。

【背景技術】

【0002】

マイクロ・エレクトロニクスにおける有望な研究分野の一つに、サブスレッショルドMOSFET (subthreshold MOSFET) からなる超低消費電力アナログLSIの開発がある。このようなLSIを構成するためには、まず、超低電力損失で動作する電圧・電流リファレンス回路を開発する必要がある。

【0003】

20

一方、近い将来において、「ユビキタス」ネットワークシステム (ubiquitous network system) が開発されると考えられている。このようなシステムにおいては、多くのセンシングLSI (sensing LSI) やスマート・センサ (smart sensor) が必要とされる。これらのセンサは、日光，弱い電波，振動ベースのエネルギーなどの環境エネルギーから必要なエネルギーを得なければならないため、極めて低電力の電源で動作させる必要がある。

【0004】

また、近年のCMOSプロセスの微細化・低消費電力化に伴い、CMOS回路の電源電圧は、ここ数年以内におよそ1.0Vまで低くなると予想されている。

【0005】

ところで、従来広く用いられているバンドギャップ・リファレンス回路は1.2V以上の電圧を生成する。そのため、電源電圧が1V未満となると、従来のバンドギャップ・リファレンスの性能は低下するという問題がある。そのため、上記のような低電圧・低消費電力で動作する電源回路を実現するためには、新たな電圧・電流リファレンス回路技術が必要とされている。

30

【0006】

低電圧・低消費電力で動作する電圧・電流リファレンス回路技術としては、非特許文献1～4及び特許文献1～3に記載のものが公知である。

【0007】

非特許文献1においては、強反転領域 (strong inversion) で動作する多くの電流リファレンス回路が報告されている。ここでは、ベータ乗数自己バイアス回路 (beta-multiplier self biasing circuit) が、MOSFETに用いる電流リファレンス回路として広く使用されている。

40

【0008】

また、特許文献1～3には、低電圧・低消費電力で動作するバンドギャップ基準電圧源が記載されている。図9に、そのバンドギャップ基準電圧源の回路構成を示す。

【0009】

この回路は、MOSFET T1, T2が、バックゲート・ゲート間接続されている点を除き、通常バンドギャップ基準電圧源と同様の構成を採る。従って、この回路においては、出力参照電圧 V_{out} は、端子107と端子105の間の電圧として得られる。

【0010】

50

出力参照電圧 V_{out} は、抵抗 R_S 間の電圧及び $MOSFET\ T1$ のソース・ゲート間電圧、又は抵抗 R_S 間の電圧、抵抗 R_{RF} 間の電圧、及び $MOSFET\ T2$ のソース・ゲート間電圧からなる。従って、出力参照電圧 V_{out} は次式によって表される。

【0011】

【数1】

$$V_{out} = V_{RS} + V_{sgT1} = V_{RS} + V_{RRF} + V_{sgT2} \quad (1)$$

【0012】

従来のバンドギャップ・リファレンス回路の出力参照電圧 V_{out} は、1.2V かそれ以上である。それに対して、図9の回路においては、 $MOSFET\ T1$ 、 $T2$ のソース・ゲート間電圧を下げるため、各 $MOSFET\ T1$ 、 $T2$ が、バックゲート・ゲート間接続されている。その結果として、出力参照電圧 V_{out} は低下して、低電圧・低消費電力で動作させることができる。

10

【0013】

尚、この回路の主要な動作原理に関しては、従来のバンドギャップ・リファレンス回路の動作原理と同等である。

【特許文献1】米国特許第5942887号明細書

【特許文献2】国際公開第98/21635号パンフレット

【特許文献3】特開2000-503443号公報

【非特許文献1】D.A. Johns and K. Martin, "Analog Integrated Circuits Design," John Wiley & Sons, 1997.

20

【非特許文献2】H.J. Oguey and D. Aebischer, "CMOS current reference without resistance," IEEE J. Solid-State Circuits, vol.32, no.7, pp.1132-1135, July 1997.

【非特許文献3】A.E. Buck, C.L. McDonald, S.H. Lewis, and T.R. Viswanathan, "A CMOS bandgap reference without resistors," IEEE J. Solid-State Circuits, vol.37, no.1, pp.81-83, Jan. 2002.

【非特許文献4】T. Hirose, T. Matsuoka, K. Taniguchi, T. Asai, and Y. Amemiya, "Ultralow-power current reference circuit with low temperature dependence," IEICE TRANS. ELECTRON., vol.e88-c, no.6, June 2005.

【発明の開示】

30

【発明が解決しようとする課題】

【0014】

非特許文献1に記載の電流リファレンス回路では、温度上昇とともに参照電流も増大するという問題がある。また、1997年にもOgueyとAebischerにより報告された電流リファレンス回路（非特許文献2参照）でも同様に、温度上昇とともに参照電流も増大するという問題がある。

【0015】

2002年にBuck, McDonald, Lewis, Viswanathanによって提案された回路（非特許文献3参照）は、低電圧・低消費電力における動作領域では使用できないという問題がある。

40

【0016】

また、2005年に広瀬らにより提案された回路（非特許文献4参照）も、Buckらの回路と同様である。また、0.25 μ mテクノロジーにおいて最小電源電圧が1.5V dc の条件において、温度特性はあまり良好ではない（ $\pm 4\%$ ）。

【0017】

また、特許文献1～3に記載のバンドギャップ・リファレンス回路（図9参照）では、抵抗 R_{RF} と R_S を流れる電流は、温度上昇に比例して増加する。すなわち、正の温度係数を有する。一方、 $MOSFET\ T1$ 、 $T2$ のソース・ゲート間電圧 V_{sg} の温度係数は負である。従って、 V_{out} の温度係数を相殺するには、各 $MOSFET\ T1$ 、 $T2$ に対応して2つの抵抗が必要であるが、図9の回路ではそれが無い。従って、図9のバン

50

ドギャップ・リファレンス回路においても、温度上昇とともに参照電流が変化するという問題がある。

【0018】

そこで、本発明の目的は、低電圧・低消費電力で動作し、且つ温度に対する参照電圧・参照電流の変動を極めて小さく抑えることが可能な定電流・定電圧リファレンス回路を提供することにある。

【課題を解決するための手段】

【0019】

本発明に係るリファレンス回路は、カレントミラー回路と、MOSピーキング電流源とを備えたリファレンス回路において、前記MOSピーキング電流源の出力側のMOSFETのバックゲートを当該MOSFETのゲート側に接続したことを特徴とする。 10

【0020】

この構成によれば、MOSピーキング電流源の出力側のMOSFETのみが、その閾値電圧を変更するためにバックゲート・ゲート間接続がされている。このMOSFETは、広範な温度レンジに渡ってサブスレッショルド領域で動作する。

【0021】

そして、MOSピーキング電流源におけるバックゲート・ゲート間接続がされていないもう一方のMOSFETのソース・ゲート間電圧と、バックゲート・ゲート間接続がされたMOSFETのソース・ゲート間電圧との差は、極めて温度係数が小さい電圧リファレンスと電流リファレンスを発生させるために使用される。ピーキング電流源回路においては、このソース・ゲート間電圧の差は、バックゲート・ゲート間接続がされていないMOSFETのため、温度の上昇に伴って増加することが知られている。従って、この回路では、バックゲート・ゲート間接続がされていないMOSFETに直列に接続した1つの抵抗のみを用いることによって、出力参照電圧の温度依存性を相殺させることができる。 20

【発明の効果】

【0022】

以上のように本発明によれば、標準のCMOS0.35 μ mデジタル技術において、最小0.8Vの電源電圧で動作するリファレンス回路が提供できる。また、回路全体の電力損失は、1 μ W以下とすることができる。また、回路構成に当たり、アナログ・プロセス・オプションは全く必要としない。 30

【発明を実施するための最良の形態】

【0023】

以下、本発明を実施するための最良の形態について、図面を参照しながら説明する。

【実施例1】

【0024】

まず、比較のため、従来のピーキング電流源回路を図1に示す。MOSFET M1, M2及び抵抗Rbがピーキング電流源を構成している。MOSFET M1, M2は、低電源電圧で要求されるようなサブスレッショルド領域において動作するように設計されており、低消費電力を達成することができる。しかしながら、この回路では、温度上昇に比例して出力参照電流 I_{ref1} , I_{ref2} も増加する。 40

【0025】

図2は、本発明の実施例1に係るリファレンス回路の構成を表す図である。この回路の動作原理は次の通りである。

【0026】

図2において、リファレンス回路は、カレントミラー回路1とピーキング電流源2の2つの部分から構成される。カレントミラー回路1は、通常のものであり、MOSFET MC1, MC2, MC3を備えている。ピーキング電流源2は、MOSFET M1, M2, M3を備えている。

【0027】

MOSFET M1, M2は、サブスレッショルド領域において動作する。MOSFET 50

T M 2 のバックゲート端子 (substrate terminal) は、通常通り電源 V d d に接続されている。しかしながら、M O S F E T M 1 のバックゲート端子は、そのゲート端子と接続されている。そして、電圧リファレンス及び電流リファレンスは、抵抗 R b に生成される。また、リファレンス電流 I r e f と同等のリファレンス電流 I r e f 1 , I r e f 2 は、M O S F E T M 1 と並列に接続され、バックゲート・ゲート間接続された M O S F E T M 3 のドレイン端子、及び、カレントミラー回路の M O S F E T M C 1 と並列に接続された M O S F E T M C 3 のドレイン端子に生成される。

【 0 0 2 8 】

よく知られている通り、M O S F E T デバイスの閾値電圧 V_{TH} は次式のように表される。

【 0 0 2 9 】

【 数 2 】

$$V_{TH} = \Phi_{ms} - \Phi + \Delta V_T(N_i) - \gamma(N_s, t_{ox}, L, W) \sqrt{|V_{SB}| + \Phi + V_o} \quad (2)$$

ここで、 Φ_{ms} はゲート・基板間の接合電位差；

$\Delta V_T(N_i)$ は関連するバンドの曲がり (band bending) (フラットバンド電圧)；

$V_T(N_i)$ は深さ d_i のチャネル・インプラント (channel implant) N_i に起因する閾値シフト；

(N_s, t_{ox}, L, W) は、基板ドーピング N_s , ゲート絶縁膜厚 t_{ox} , チャネル長 L , 及びチャネル幅 W に依存する基板バックバイアス係数 (substrate backbias factor)；

V_{SB} はソース・基板間バイアス；

V_o は打ち込み閾値シフトに起因する修正項である。

【 0 0 3 0 】

ここで、

【 0 0 3 1 】

【 数 3 】

$$|V_{gs}| = V_{TH} + nV_T \ln \left(\frac{I_D}{\left(\frac{W}{L}\right) I_t} \right) \quad (3)$$

【 0 0 3 2 】

従って、 V_{ref} は次のように表される。

【 0 0 3 3 】

【 数 4 】

$$\begin{aligned} V_{ref} &= V_{gs2} - V_{gs1} \\ &= \gamma \left[\sqrt{|V_{SB1}| + \Phi + V_o} - \sqrt{|V_{SB2}| + \Phi + V_o} \right] + nV_T \ln \frac{I_{D2} \left(\frac{W}{L}\right)_1 I_{t1}}{I_{D1} \left(\frac{W}{L}\right)_2 I_{t2}} \end{aligned} \quad (4)$$

ここで、 V_{gs1} , V_{gs2} は、それぞれ M O S F E T M 1 , M 2 のゲート・ソース間電圧である。

【 0 0 3 4 】

$V_{sb1} = V_{gs1}$, $V_{sb2} = 0$ とし、

【 0 0 3 5 】

【 数 5 】

$$\frac{I_{D2} \left(\frac{W}{L}\right)_1 I_{t1}}{I_{D1} \left(\frac{W}{L}\right)_2 I_{t2}} = K \quad (5)$$

とおくと、

【 0 0 3 6 】

【数 6】

$$\begin{aligned}
 V_{ref} &= V_{gs2} - V_{gs1} \\
 &= \gamma \left[\sqrt{|V_{gs1}| + \Phi + V_o} - \sqrt{\Phi + V_o} \right] + nV_T \ln(K)
 \end{aligned}
 \quad (6)$$

【0037】

上式(6)より、電圧リファレンス V_{ref} の温度依存性を生じさせる可能性のある因子は V_{gs1} 、 V_T である。そこで、異なるサイズ比のMOSFET M1、M2を使用することによって、 V_{ref} の温度依存性を殆ど0とすることができる。

【0038】

10

尚、図2の回路において、抵抗 R_b の接続位置は、電源 V_{dd} とMOSFET M1のソース端子の間としてもよい。

【0039】

〔シミュレーション結果〕

図3は、図2の回路の電圧リファレンスの温度依存性に関するシミュレーション結果を示す。横軸は温度を表し、縦軸は電圧リファレンス V_{ref} を表す。横軸のスケールは、 $-40 \sim 100$ 、縦軸のスケールは $225.8 \sim 227.6$ mVである。

【0040】

図4は、図2の回路の電流リファレンスの温度依存性に関するシミュレーション結果を示す。横軸は温度を表し、縦軸は電流リファレンス I_{ref} を表す。横軸のスケールは、 $-40 \sim 100$ 、縦軸のスケールは $451.4 \sim 455.4$ nAである。

20

【0041】

このシミュレーション結果から分かるように、本実施例のリファレンス回路によれば、電圧リファレンス V_{ref} 及び電流リファレンス I_{ref} の温度依存性を殆ど0とすることができる。

【実施例2】

【0042】

図5は、本発明の実施例2に係るリファレンス回路の構成を表す図である。このようなリファレンス回路によっても、出力電流・電圧リファレンス I_{ref} 、 V_{ref} の温度依存性を殆ど0とすることが可能である。

30

【0043】

〔シミュレーション結果〕

図6は、図5の回路の電圧リファレンスの温度依存性に関するシミュレーション結果を示す。横軸は温度を表し、縦軸は電圧リファレンス V_{ref} を表す。横軸のスケールは、 $-40 \sim 100$ 、縦軸のスケールは $245.8 \sim 247.1$ mVである。

【0044】

図7は、図5の回路の電流リファレンスの温度依存性に関するシミュレーション結果を示す。横軸は温度を表し、縦軸は電流リファレンス I_{ref} を表す。横軸のスケールは、 $-40 \sim 100$ 、縦軸のスケールは $22.83 \sim 22.7$ nAである。

【0045】

40

このシミュレーション結果から分かるように、本実施例のリファレンス回路によっても、電圧リファレンス V_{ref} 及び電流リファレンス I_{ref} の温度依存性を殆ど0とすることができる。

【0046】

また、図8は、図5の回路の電流リファレンスの動作電圧に関するシミュレーション結果を示す。横軸は電源電圧 V_{dd} を表し、縦軸は電圧リファレンス V_{ref} を表す。横軸のスケールは、 $-0.8 \sim 3.3$ Vdc、縦軸のスケールは $245 \sim 246$ mVである。

【0047】

このシミュレーション結果から分かるように、本実施例のリファレンス回路は、電源電圧 V_{dd} が約800 mV付近では正常に動作し、極めて低い電源電圧において動作させる

50

ことが可能であることが分かる。

【図面の簡単な説明】

【0048】

【図1】従来のピーキング電流源回路を示す回路図である。

【図2】本発明の実施例1に係るリファレンス回路の構成を表す図である。

【図3】図2の回路の電圧リファレンスの温度依存性に関するシミュレーション結果を示す図である。

【図4】図2の回路の電流リファレンスの温度依存性に関するシミュレーション結果を示す図である。

【図5】本発明の実施例2に係るリファレンス回路の構成を表す図である。

【図6】図5の回路の電圧リファレンスの温度依存性に関するシミュレーション結果を示す図である。

【図7】図5の回路の電流リファレンスの温度依存性に関するシミュレーション結果を示す図である。

【図8】図5の回路の電流リファレンスの動作電圧に関するシミュレーション結果を示す図である。

【図9】特許文献1～3に記載のバンドギャップ基準電圧源の回路構成を示す回路図である。

【符号の説明】

【0049】

1 カレントミラー回路

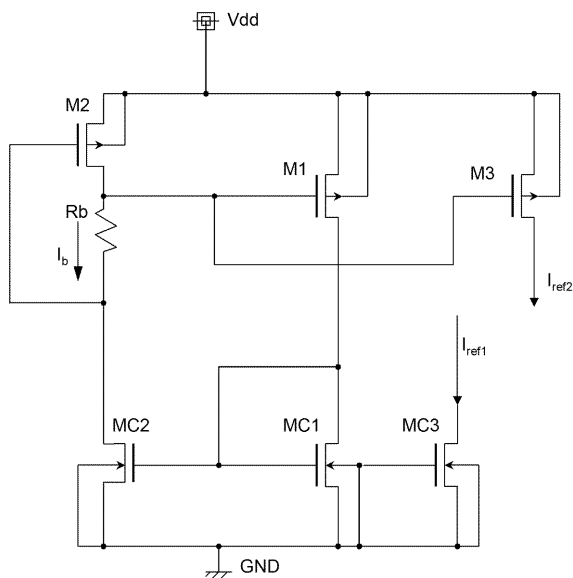
2 ピーキング電流源

M1, M2, M3 MOSFET

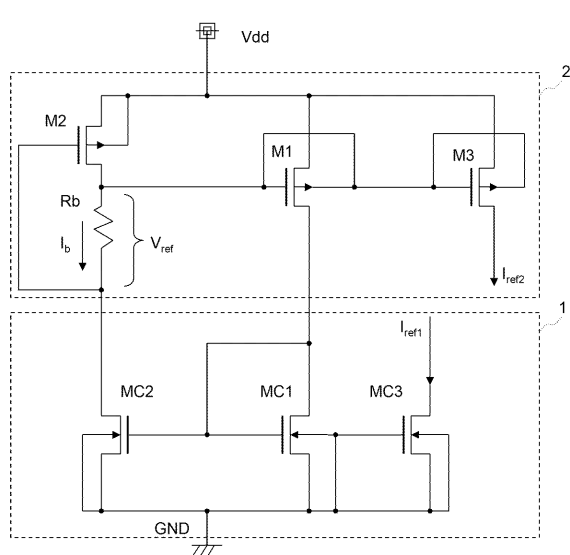
MC1, MC2, MC3 MOSFET

Rb 抵抗

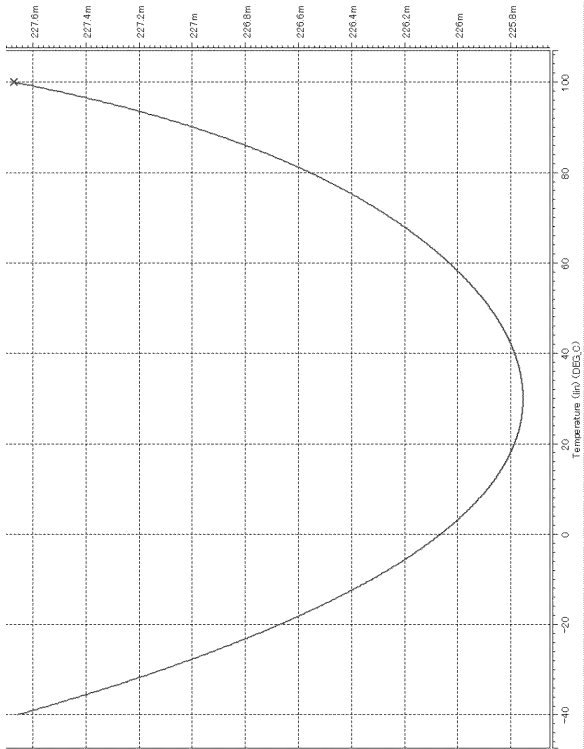
【図1】



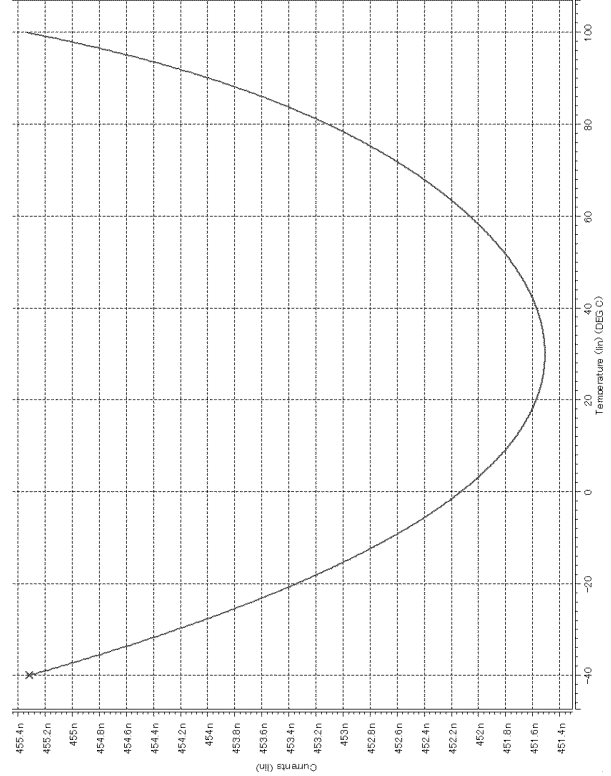
【図2】



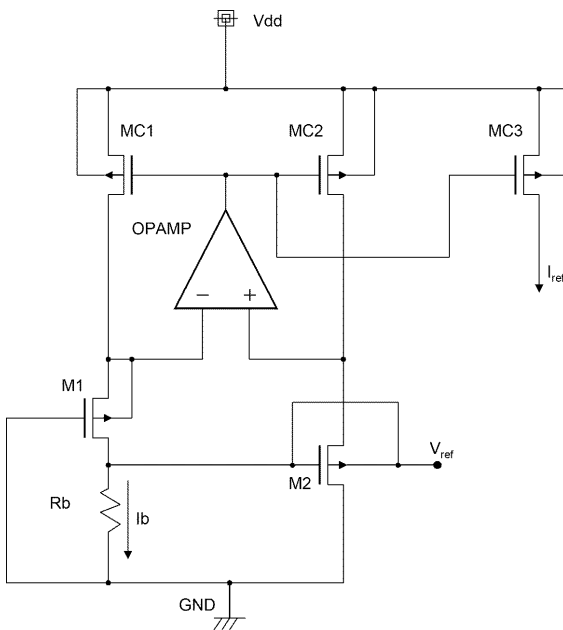
【 図 3 】



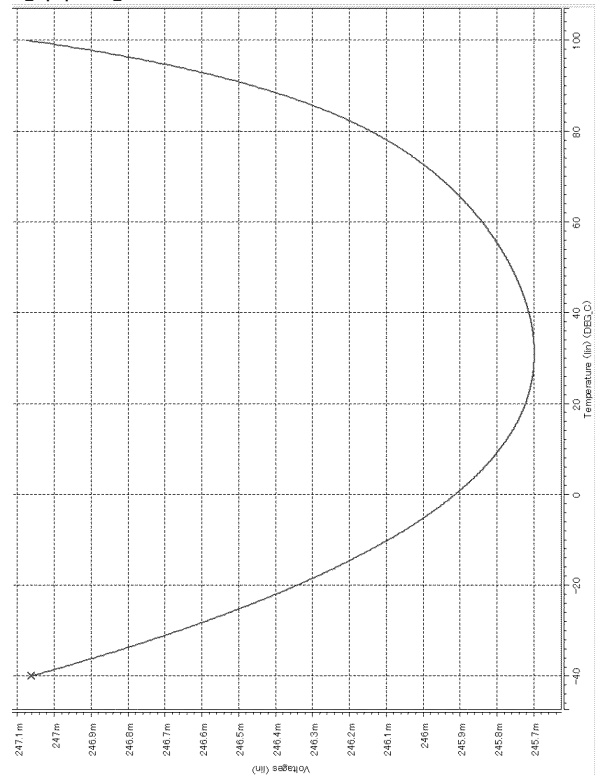
【 図 4 】



【 図 5 】



【 図 6 】



The graph shows the variation of current I (mA) versus temperature T (°C) for a thermistor. The curve is a downward-opening parabola, starting at approximately (0, 0.000000), peaking at approximately (25, 0.000000), and ending at approximately (100, 0.000000). The x-axis ranges from -40 to 100 °C, and the y-axis ranges from -22.83 nA to -22.7 nA.

The graph displays the relationship between Voltage X (mV) on the horizontal axis and Voltage Y (mV) on the vertical axis for a 1000mV range. The horizontal axis ranges from 0 to 3.0mV with major ticks every 0.5mV. The vertical axis ranges from 0 to 240mV with major ticks every 20mV. The curve starts at (0, 0), rises sharply to approximately 240mV at 0.5mV, then gradually decreases to about 100mV at 1.0mV, and finally drops sharply back to 0mV at 1.5mV.

The circuit diagram shows a differential amplifier circuit 100. It consists of a differential pair of NMOS transistors T1 and T2, and a differential pair of PMOS transistors MQ1 and MQ2. The gates of T1 and T2 are connected to a common gate voltage G1. The gates of MQ1 and MQ2 are connected to a common gate voltage G2. The sources of T1 and T2 are connected to a common source voltage S1. The sources of MQ1 and MQ2 are connected to a common source voltage S2. The drains of T1 and T2 are connected to a common drain voltage 101. The drains of MQ1 and MQ2 are connected to a common drain voltage 102. A current mirror CM is connected between the drains of T1 and T2 and the drains of MQ1 and MQ2. A resistor RS is connected between the common drain voltage 101 and a supply voltage 106. A resistor RRF is connected between the common drain voltage 102 and the supply voltage 106. The circuit is powered by a supply voltage 106 and ground. Various nodes are labeled with reference numerals 101 through 107.

フロントページの続き

F ターム(参考) 5H420 NA12 NA16 NA17 NB03 NB36 NC02 NC14