

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2007-257524
(P2007-257524A)

(43) 公開日 平成19年10月4日(2007.10.4)

(51) Int. Cl. F I テーマコード(参考)
G06F 17/50 (2006.01) G06F 17/50 662G 5B046

審査請求 未請求 請求項の数 11 O L (全 16 頁)

(21) 出願番号 特願2006-83860(P2006-83860)
(22) 出願日 平成18年3月24日(2006.3.24)

特許法第30条第1項適用申請有り 社団法人電子情報通信学会、「2005年度 電子情報通信学会九州支部学生会講演会・講演論文集」、V o l . 1 3 , 5 2 頁、2005年9月28日、社団法人電気学会、「電気学会研究会資料 電子回路研究会」、E C T - 0 5 - 8 0 , 4 5 ~ 4 9 頁、2005年11月18日、社団法人電子情報通信学会、「電子情報通信学会技術研究報告」、V o l . 1 0 5 , N o . 5 4 7 , 2 5 ~ 3 0 頁、2006年1月24日

(71) 出願人 899000068
学校法人早稲田大学
東京都新宿区戸塚町1丁目104番地
(74) 代理人 100121371
弁理士 石田 和人
(74) 代理人 100133592
弁理士 山口 浩一
(72) 発明者 井上 靖秋
福岡県北九州市若松区ひびきの2番7号
学校法人早稲田大学大学院情報生産システム研究科内
Fターム(参考) 5B046 AA08 BA03 JA04

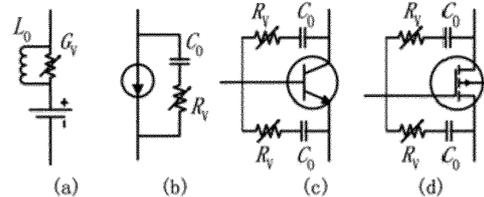
(54) 【発明の名称】 回路動作解析装置及び回路動作解析方法

(57) 【要約】

【課題】疑似過渡解析法を用いて回路の直流動作解析を行うにあたり、過渡解析における発振を防止するとともに計算効率を改善することのできる回路動作解析技術を提供する。

【解決手段】解析対象回路に対して時変疑似素子を挿入し修正回路構成データを生成する第1ステップ、及び各時変疑似素子のパラメータ値を時間変化させて過渡解析計算を行い直流動作点を計算する第2ステップを有し、第1ステップにおいて、疑似インダクタと時変疑似コンダクタが並列接続された時変疑似素子を各電圧源に直列に挿入し、疑似キャパシタと時変疑似抵抗とが直列接続された時変疑似素子を各電流源に並列に挿入し、第2ステップにおいて、時変疑似コンダクタ及び時変疑似抵抗の値を時間とともに増大させながら、過渡解析計算を行う。

【選択図】 図5



【特許請求の範囲】

【請求項 1】

疑似過渡解析法により解析対象回路の直流動作点の計算を行う回路動作解析装置であって、

前記解析対象回路の回路構成データを記憶する回路記憶手段と、

前記回路構成データにより表される前記解析対象回路に対して時変疑似素子を挿入することにより、DC解析用回路の修正回路構成データを生成する疑似素子挿入手段と、

前記各時変疑似素子のパラメータ値を時間変化させながら、前記修正回路構成データに基づき前記DC解析用回路の過渡解析計算を行うことにより前記解析対象回路の直流動作点を計算する過渡解析実行手段と、

を備え、

前記疑似素子挿入手段は、疑似インダクタとコンダクタンスが時間とともに変化する時変疑似コンダクタとが並列接続された第1の時変疑似素子、又は疑似キャパシタと抵抗値が時間とともに変化する時変疑似抵抗とが直列接続された第2の時変疑似素子を、前記解析対象回路内に挿入するものであり、

前記過渡解析実行手段は、前記第1の時変疑似素子の時変疑似コンダクタのコンダクタンスを時間とともに増大させ、前記第2の時変疑似素子の時変疑似抵抗の抵抗値を時間とともに増大させながら、過渡解析計算を行うことを特徴とする回路動作解析装置。

【請求項 2】

前記疑似素子挿入手段は、

前記解析対象回路内の電圧源を抽出し、疑似インダクタとコンダクタンスが時間とともに変化する時変疑似コンダクタとが並列接続された第1の時変疑似素子を、前記解析対象回路内の各電圧源に対して直列に挿入する第1の時変疑似素子挿入手段と、

前記解析対象回路内の電流源を抽出し、疑似キャパシタと抵抗値が時間とともに変化する時変疑似抵抗とが直列接続された第2の時変疑似素子を、前記解析対象回路内の各電流源に対して並列に挿入する第2の時変疑似素子挿入手段と、を備えたことを特徴とする請求項1記載の回路動作解析装置。

【請求項 3】

前記解析対象回路は、バイポーラ・トランジスタを含む回路であり、

前記第2の時変疑似素子挿入手段は、さらに前記解析対象回路内のバイポーラ・トランジスタを抽出し、前記解析対象回路内の各バイポーラ・トランジスタのベース・エミッタ間及びベース・コレクタ間に前記第2の時変疑似素子を挿入することを特徴とする請求項2記載の回路動作解析装置。

【請求項 4】

前記解析対象回路は、電界効果トランジスタを含む回路であり、

前記第2の時変疑似素子挿入手段は、さらに前記解析対象回路内の電界効果トランジスタを抽出し、前記解析対象回路内の各電界効果トランジスタのゲート・ソース間及びゲート・ドレイン間に前記第2の時変疑似素子を挿入することを特徴とする請求項2又は3の何れか一記載の回路動作解析装置。

【請求項 5】

前記疑似素子挿入手段は、前記解析対象回路内の各ノードとグランドとの間に、前記第2の時変疑似素子を挿入することを特徴とする請求項1記載の回路動作解析装置。

【請求項 6】

疑似過渡解析法により解析対象回路の直流動作点の計算を行う回路動作解析方法であって、

回路記憶手段に記憶された前記解析対象回路の回路構成データを読み出して、当該回路構成データにより表される前記解析対象回路に対して時変疑似素子を挿入することにより、DC解析用回路の修正回路構成データを生成する疑似素子挿入ステップと、

前記各時変疑似素子のパラメータ値を時間変化させながら、前記修正回路構成データに基づき前記DC解析用回路の過渡解析計算を行うことにより前記解析対象回路の直流動作

10

20

30

40

50

点を計算する過渡解析実行ステップと、
を有し、

前記疑似素子挿入ステップにおいては、疑似インダクタとコンダクタンスが時間とともに変化する時変疑似コンダクタとが並列接続された第1の時変疑似素子、又は疑似キャパシタと抵抗値が時間とともに変化する時変疑似抵抗とが直列接続された第2の時変疑似素子を、前記解析対象回路内に挿入し、

前記過渡解析実行ステップにおいては、前記第1の時変疑似素子の時変疑似コンダクタのコンダクタンスを時間とともに増大させ、前記第2の時変疑似素子の時変疑似抵抗の抵抗値を時間とともに増大させながら、過渡解析計算を行うことを特徴とする回路動作解析方法。

10

【請求項7】

前記疑似素子挿入ステップにおいては、

前記解析対象回路内の電圧源を抽出し、疑似インダクタとコンダクタンスが時間とともに変化する時変疑似コンダクタとが並列接続された第1の時変疑似素子を、前記解析対象回路内の各電圧源に対して直列に挿入する第1の時変疑似素子挿入ステップと、

前記解析対象回路内の電流源を抽出し、疑似キャパシタと抵抗値が時間とともに変化する時変疑似抵抗とが直列接続された第2の時変疑似素子を、前記解析対象回路内の各電流源に対して並列に挿入する第2の時変疑似素子挿入ステップと、を有することを特徴とする請求項6記載の回路動作解析方法。

【請求項8】

20

前記解析対象回路は、バイポーラ・トランジスタを含む回路であり、

前記第2の時変疑似素子挿入ステップにおいては、さらに前記解析対象回路内のバイポーラ・トランジスタを抽出し、前記解析対象回路内の各バイポーラ・トランジスタのベース-エミッタ間及びベース-コレクタ間に前記第2の時変疑似素子を挿入することを特徴とする請求項7記載の回路動作解析方法。

【請求項9】

前記解析対象回路は、電界効果トランジスタを含む回路であり、

前記第2の時変疑似素子挿入ステップにおいては、さらに前記解析対象回路内の電解効果トランジスタを抽出し、前記解析対象回路内の各電界効果トランジスタのゲート-ソース間及びゲート-ドレイン間に前記第2の時変疑似素子を挿入することを特徴とする請求項7又は8の何れか一記載の回路動作解析方法。

30

【請求項10】

前記疑似素子挿入ステップにおいては、前記解析対象回路内の各ノードとグランドとの間に、前記第6の時変疑似素子を挿入することを特徴とする請求項6記載の回路動作解析方法。

【請求項11】

コンピュータに読み込ませて実行することにより、コンピュータを請求項1乃至5の何れか一に記載の回路動作解析装置として機能させることを特徴とするプログラム。

【発明の詳細な説明】

40

【技術分野】

【0001】

本発明は、電子回路の回路動作解析技術に関し、特に、解析対象回路の直流動作点の解析を確実に且つ短時間で行うことが可能な回路動作解析技術に関する。

【背景技術】

【0002】

回路シミュレーションは、LSIなどの電子回路の挙動を数値解法により計算して求めるもので、一般に、直流解析、交流解析、過渡解析に分類される。この中でも、直流解析はすべての解析の出発点となるものであり、これを確実に行うことは極めて重要である。もし、直流解析に失敗したならば、そのほかの解析もすべて不可能となるからである。多く

50

の実用回路は非線形素子を含み、その回路方程式は非線形方程式となる。直流解析においては、解析対象回路を記述する非線形代数方程式に対し、数値解法を適用してその方程式の解を求める方法が採られる。しかし、一般に、非線形方程式の解を確実に求めるのは非常に困難な問題である。

【0003】

近年、最も一般的なEDAツールの一つとして用いられているSPICEライクの回路シミュレータでは、非線形回路の直流動作点を計算するに際して、Newton-Raphson (NR) 法を用いて計算を行っている。しかしながら、NR法は、与えられた初期値が真の解に十分に近い場合にのみ収束し、初期値の設定を誤ると解が収束しないことが知られている（非特許文献1参照）。従って、LSI等の実用回路では解析に失敗する例が少なくない。特に、回路が大規模化すると、殆どの場合に収束に失敗する。

10

【0004】

そこで、この非収束性の問題を解決するために、Gminステップング法、ソース・ステップング法、疑似過渡解析 (PTA) 法などの多くの方法が提案されている（非特許文献2～4参照）。これらの方法は、商用のSPICE型シミュレータにおいてはよく用いられている。

【0005】

これらの中でもPTA法は、Gminステップング法やソース・ステップング法に比較すると、収束性のよい方法であると考えられている（非特許文献2参照）。PTA法は、解析対象回路に疑似リアクタンスを挿入して過渡解析を実行し、解が安定したら、それを元の解析対象回路の直流解とする手法である。以下、従来から用いられている通常の疑似過渡解析法について概説する。

20

【0006】

疑似過渡解析法においては、初期値が決められた所定の疑似素子 (pseudo element) が、解析対象回路内に挿入される。疑似素子としては、例えば、疑似キャパシタや疑似インダクタが使用される。

【0007】

疑似能動素子は、W.Weeksらによって、ASTAPシミュレータのDC解析において最初に導入された。これは、ソース・ステップング・アルゴリズムの修正であるとみなされる（非特許文献5参照）。ASTAPアルゴリズムにおいて、疑似キャパシタは、各非線形電流源に並列に挿入される。また、疑似インダクタは、各非線形電圧源に直列に挿入される。これらの疑似素子の特性値 (キャパシタンス, インダクタンス) は、一定の値に保持されている（非特許文献6参照）。

30

【0008】

その後、このPTA法は、SPICEシミュレータにおいて、次のようなルールに従って導入された。図1(a)に示すように、1Fのキャパシタを、それぞれの独立電流源に並列に付加する。また、図1(b)に示すように、1Hのインダクタをそれぞれの独立電圧源に並列に付加する。更に、図1(c)に示すように、BJTモデルの組み込みキャパシタが、非線形ブランチに対する疑似キャパシタとして使用される。そして、各疑似素子の初期条件は、ゼロの初期解を作ることにより選択される（非特許文献5参照）。

40

【0009】

その後、この方法は、時変疑似キャパシタ (キャパシタンスが時間変化するキャパシタをいう。以下同じ。) を用いることにより発展してきた。これらは、R.Wilton及びL.Goldgeisserらにより報告されている（非特許文献3, 7参照）。

【0010】

非特許文献3におけるPTAアルゴリズムの主な特徴点は次の通りである。

- (1) 疑似キャパシタのみが使用され、その値は図2(b)に示されたように変化する。
- (2) 疑似キャパシタは、もとの解析対象回路の各ノードとグランドとの間に挿入される。
- (3) 過渡解析を行う際に、独立電流源と独立電圧源とはその電圧値, 電流値がその特定

50

値に設定される。回路内の他のすべてのノードは、初期状態として電圧値，電流値がゼロに設定される。

(4) もとの解析対象回路における(寄生素子を含む)すべてのインダクタンス及びキャパシタンスは、PTAを通して有効とされる。

【0011】

また、非特許文献7で議論されているように、HSPICEの一部であるSABERシミュレータも、特性値が一定の疑似素子を、特性値が時間変化する時変疑似素子に発展させている。ここではPTAアルゴリズムは、2つのシミュレーション・パラメータdr_riseとdr_settleにより制御されている。

【0012】

PTA法の大きな長所は、過渡解析の間、どの程度の刻み幅で時間ステップをとればよいか、解析の間に解はどの程度変化するか、数値的な打ち切り誤差をどの程度にするか、などをあまり考慮しなくてもよいことである。過渡解析における最終的な回路の状態が定常状態に到達する限りは、もとの解析対象回路の直流動作点を見いだすことができる。

【特許文献1】特開昭63-4345号公報

【特許文献2】特開平6-231202号公報

【特許文献3】特開平7-141416号公報

【特許文献4】特開平10-260999号公報

【特許文献5】特開平10-320444号公報

【非特許文献1】Y. Inoue, Y. Imai, and K. Yamamura, "A homotopy method using a nonlinear auxiliary function for solving transistor circuits," IEICE Trans. INF. & SYST., vol.E88-D, no.7, pp.1401-1408, Jan. 2005. 20

【非特許文献2】T. L. Quarles, "Analysis of performance and convergence issues for circuit simulation," Univ. of California, Berkeley, CA, ERL-M89/42, Apr. 1989.

【非特許文献3】R. Wilton, "Supplementary algorithms for DC convergence," IEE Colloquium, SPICE: Surviving Problems in Circuit Evaluation, pp. 3/1-3/19, Jun. 1993.

【非特許文献4】E. Yilmaz, and M.M. Green, "Some standard SPICE dc algorithms revisited: why does SPICE still not converge?" Proc. IEEE Int. Symp. Circuits and Systems (ISCAS) vol.6, pp.286-289, May 1999, Orlando, Florida. 30

【非特許文献5】L. W. Nagel, "Spice2: A computer program to simulate semiconductor circuits," Univ. of California, Berkeley, CA, ERL-M520, May 1975.

【非特許文献6】W. Weeks, A. Jimenez, G. Mahoney, D. Mehta, H. Qassemzadeh, and T. Scott, "Algorithms for ASTAP-A network-analysis program," IEEE Trans. Circuits and Systems, vol.20, no.6, pp.628-634, Nov. 1973.

【非特許文献7】L. Goldgeisser, E. Christen, M. Vlach, and J. Langenwalter, "Open ended dynamic ramping simulation of multi-discipline systems," Proc. IEEE Int. Symp. Circuits and Systems (ISCAS), vol.5, pp.307-310, May 2001, Sydney, Australia. 40

【非特許文献8】Y. Inoue, S. Kusanobu, and K. Yamamura, "A practical approach for the fixed-point homotopy method using a solution-tracing circuit," IEICE Trans. Fundamentals, vol.E88-D, no.7, pp.1401-1408, Jun. 2005.

【発明の開示】

【発明が解決しようとする課題】

【0013】

しかしながら、上記従来のPTA法は、疑似素子の挿入により、回路が発振する可能性があり、回路が発振した場合には、定常解が得られず、直流解析に失敗するという問題がある。また、解析対象回路によっては、定常解に収束するまでに比較的長時間を要する場合があるという問題もある。

【0014】

そこで、本発明の目的は、疑似過渡解析法を用いて回路の直流動作解析を行うにあたり、過渡解析における発振を防止するとともに計算効率を改善することのできる回路動作解析技術を提供することにある。

【課題を解決するための手段】

【0015】

本発明に係る回路動作解析装置の第1の構成は、疑似過渡解析法により解析対象回路の直流動作点の計算を行う回路動作解析装置であって、

前記解析対象回路の回路構成データを記憶する回路記憶手段と、

前記回路構成データにより表される前記解析対象回路に対して時変疑似素子を挿入することにより、DC解析用回路の修正回路構成データを生成する疑似素子挿入手段と、 10

前記各時変疑似素子のパラメータ値を時間変化させながら、前記修正回路構成データに基づき前記DC解析用回路の過渡解析計算を行うことによって前記解析対象回路の直流動作点を計算する過渡解析実行手段と、
を備え、

前記疑似素子挿入手段は、疑似インダクタとコンダクタンスが時間とともに変化する時変疑似コンダクタとが並列接続された第1の時変疑似素子、又は疑似キャパシタと抵抗値が時間とともに変化する時変疑似抵抗とが直列接続された第2の時変疑似素子を、前記解析対象回路内に挿入するものであり、

前記過渡解析実行手段は、前記第1の時変疑似素子の時変疑似コンダクタのコンダクタンスを時間とともに増大させ、前記第2の時変疑似素子の時変疑似抵抗の抵抗値を時間とともに増大させながら、過渡解析計算を行うことを特徴とする。 20

【0016】

この構成により、過渡解析の初期段階においては、疑似インダクタと並列に接続された時変疑似コンダクタにより、疑似インダクタによる回路状態の振動が減衰されるため、過渡解析初期段階における発振を抑制することができる。また、過渡解析で時間が進んだ段階においては、時変疑似コンダクタのコンダクタンスは無限大となり疑似インダクタは回路特性に影響を与えなくなる。また、疑似キャパシタに直接接続された時変疑似抵抗の抵抗値は無限大となるため、断線された状態となり、疑似キャパシタは回路特性に影響を与えなくなる。従って、過渡解析の後期段階での疑似リアクタンスによる発振は生じない。 30
その結果、過渡解析における発振を防止することが可能となる。

【0017】

また、時変疑似コンダクタのコンダクタンス及び時変疑似抵抗の抵抗値を適度な速さで指数関数的に増大させることにより、回路の収束を速め、計算効率を改善することもできる。

【0018】

ここで、時変疑似抵抗及び時変疑似コンダクタは、必ずしも実際の抵抗やコンダクタでなくてもよく、それと等価な回路素子であってもよい。例えば、時変疑似抵抗として、図6(a)に示すような等価な制御電圧源、時変疑似コンダクタとして、図6(b)に示すような等価な制御電流源を使用してもよい。 40

【0019】

また、ここでは第1の時変疑似素子又は第2の時変疑似素子の挿入箇所については、特に限定しない。例えば、第1の時変疑似素子を電圧源に直列に挿入する、第2の時変疑似素子を電流源に並列に挿入する、第2の時変疑似素子を解析対象回路内の各ノードとグラウンド間に挿入する等が考えられる。

【0020】

本発明に係る回路動作解析装置の第2の構成は、前記第1の構成において、前記疑似素子挿入手段は、

前記解析対象回路内の電圧源を抽出し、疑似インダクタとコンダクタンスが時間とともに変化する時変疑似コンダクタとが並列接続された第1の時変疑似素子を、前記解析対 50

象回路内の各電圧源に対して直列に挿入する第1の時変疑似素子挿入手段と、

前記解析対象回路内の電流源を抽出し、疑似キャパシタと抵抗値が時間とともに変化する時変疑似抵抗とが直列接続された第2の時変疑似素子を、前記解析対象回路内の各電流源に対して並列に挿入する第2の時変疑似素子挿入手段と、を備えたことを特徴とする。

【0021】

これにより、過渡解析における電圧源、電流源の立ち上がりの振動を緩和し、発振を抑えることができる。

【0022】

ここで、「電流源」には、非線形素子（バイポーラ・トランジスタや電界効果トランジスタ等）を表すモデル式における非線形電流源も含まれる。すなわち、解析対象回路が非線形素子を含む場合には、各非線形素子のモデル式において非線形電流源で接続されるノード間にも、並列に第2の時変疑似素子が挿入される。

10

【0023】

本発明に係る回路動作解析装置の第3の構成は、前記第2の構成において、前記解析対象回路は、バイポーラ・トランジスタを含む回路であり、

前記第2の時変疑似素子挿入手段は、さらに前記解析対象回路内のバイポーラ・トランジスタを抽出し、前記解析対象回路内の各バイポーラ・トランジスタのベース・エミッタ間及びベース・コレクタ間に前記第2の時変疑似素子を挿入することを特徴とする。

【0024】

20

この構成により、解析対象回路がバイポーラ・トランジスタを含む場合にも、過渡解析における発振を有効に防止できる。

【0025】

本発明に係る回路動作解析装置の第4の構成は、前記第2又は3の構成において、前記解析対象回路は、電界効果トランジスタを含む回路であり、

前記第2の時変疑似素子挿入手段は、さらに前記解析対象回路内の電界効果トランジスタを抽出し、前記解析対象回路内の各電界効果トランジスタのゲート・ソース間及びゲート・ドレイン間に前記第2の時変疑似素子を挿入することを特徴とする。

【0026】

この構成により、解析対象回路が電界効果トランジスタを含む場合にも、過渡解析における発振を有効に防止できる。

30

【0027】

本発明に係る回路動作解析装置の第5の構成は、前記第1の構成において、前記疑似素子挿入手段は、前記解析対象回路内の各ノードとグランドとの間に、前記第2の時変疑似素子を挿入することを特徴とする。

【0028】

この構成により、過渡解析における各ノードの電圧、電流の立ち上がりの振動を緩和し、発振を抑えることができる。

【0029】

本発明に係る回路動作解析方法の第1の構成は、疑似過渡解析法により解析対象回路の直流動作点の計算を行う回路動作解析方法であって、

40

回路記憶手段に記憶された前記解析対象回路の回路構成データを読み出して、当該回路構成データにより表される前記解析対象回路に対して時変疑似素子を挿入することにより、DC解析用回路の修正回路構成データを生成する疑似素子挿入ステップと、

前記各時変疑似素子のパラメータ値を時間変化させながら、前記修正回路構成データに基づき前記DC解析用回路の過渡解析計算を行うことによって前記解析対象回路の直流動作点を計算する過渡解析実行ステップと、

を有し、

前記疑似素子挿入ステップにおいては、疑似インダクタとコンダクタンスが時間とともに変化する時変疑似コンダクタとが並列接続された第1の時変疑似素子、又は疑似キャパ

50

シタと抵抗値が時間とともに変化する時変疑似抵抗とが直列接続された第2の時変疑似素子を、前記解析対象回路内に挿入し、

前記過渡解析実行ステップにおいては、前記第1の時変疑似素子の時変疑似コンダクタのコンダクタンスを時間とともに増大させ、前記第2の時変疑似素子の時変疑似抵抗の抵抗値を時間とともに増大させながら、過渡解析計算を行うことを特徴とする。

【0030】

本発明に係る回路動作解析方法の第2の構成は、前記第1の構成において、前記疑似素子挿入ステップにおいては、

前記解析対象回路内の電圧源を抽出し、疑似インダクタとコンダクタンスが時間とともに変化する時変疑似コンダクタとが並列接続された第1の時変疑似素子を、前記解析対象回路内の各電圧源に対して直列に挿入する第1の時変疑似素子挿入ステップと、

前記解析対象回路内の電流源を抽出し、疑似キャパシタと抵抗値が時間とともに変化する時変疑似抵抗とが直列接続された第2の時変疑似素子を、前記解析対象回路内の各電流源に対して並列に挿入する第2の時変疑似素子挿入ステップと、を有することを特徴とする。

【0031】

本発明に係る回路動作解析方法の第3の構成は、前記第2の構成において、前記解析対象回路は、バイポーラ・トランジスタを含む回路であり、

前記第2の時変疑似素子挿入ステップにおいては、さらに前記解析対象回路内のバイポーラ・トランジスタを抽出し、前記解析対象回路内の各バイポーラ・トランジスタのベース-エミッタ間及びベース-コレクタ間に前記第2の時変疑似素子を挿入することを特徴とする。

【0032】

本発明に係る回路動作解析方法の第4の構成は、前記第2又は3の構成において、前記解析対象回路は、電界効果トランジスタを含む回路であり、

前記第2の時変疑似素子挿入ステップにおいては、さらに前記解析対象回路内の電解効果トランジスタを抽出し、前記解析対象回路内の各電界効果トランジスタのゲート-ソース間及びゲート-ドレイン間に前記第2の時変疑似素子を挿入することを特徴とする。

【0033】

本発明に係る回路動作解析方法の第5の構成は、前記第1の構成において、前記疑似素子挿入ステップにおいては、前記解析対象回路内の各ノードとグランドとの間に、前記第6の時変疑似素子を挿入することを特徴とする。

【0034】

本発明に係る回路動作解析プログラムは、コンピュータに読み込ませて実行することにより、コンピュータを前記第1乃至5の何れか一の構成の回路動作解析装置として機能させることを特徴とする。

【発明の効果】

【0035】

以上のように、本発明によれば、過渡解析の初期で時変疑似コンダクタ及び時変疑似抵抗を、発振を抑制するダンピング抵抗として作用させ、過渡解析の後期では、これらのコンダクタンス及び抵抗値を無限大として疑似インダクタ及び疑似キャパシタの影響を除くことにより、疑似過渡解析における発振を有効に防止することが可能となる。また、時変疑似コンダクタのコンダクタンス及び時変疑似抵抗の抵抗値を適度な速さで指数関数的に増大させることにより、回路の収束を速め、計算効率を改善することも可能となる。従って、上述した従来のPTA法の問題を解決することができ、回路の直流解析を効率よく短時間で行うことが可能な回路動作解析技術を提供することができる。

【発明を実施するための最良の形態】

【0036】

以下、本発明を実施するための最良の形態について、図面を参照しながら説明する。

【実施例1】

10

20

30

40

50

【 0 0 3 7 】

〔 1 〕 構成及び動作

図 3 は、本発明の実施例 1 に係る回路動作解析装置 1 の構成を表す図である。回路動作解析装置 1 は、回路データ入力装置 2 から入力される解析対象回路の回路構成データに基づいて、解析対象回路の直流解析の計算を行い、その結果を出力装置 3 に出力する。

【 0 0 3 8 】

回路データ入力装置 2 としては、通常のネットリスト入力用の回路図エディタ等が用いられる。また、出力装置 3 は、ディスプレイ、ハードディスク、CD-ROM等を使用することができる。

【 0 0 3 9 】

尚、これらの各装置については、ハードウェア的にはコンピュータ、補助記憶装置、外部記憶装置等を用いて構成される。回路動作解析装置 1 については、FPGAなどを用いて回路的に構成することも可能であるが、プログラム・モジュールとして構成してこれをコンピュータで実行させることによりコンピュータを回路動作解析装置 1 として動作させるように構成してもよい。

【 0 0 4 0 】

図 3 において、回路動作解析装置 1 は、解析対象回路記憶手段 1 1 , 疑似素子挿入手段 1 2 , 修正回路記憶手段 1 3 , 及び過渡解析実行手段 1 4 を備えている。

【 0 0 4 1 】

解析対象回路記憶手段 1 1 は、解析対象回路の回路構成データを記憶する。疑似素子挿入手段 1 2 は、回路構成データにより表される解析対象回路に対して時変疑似素子を挿入することにより、DC解析用回路の修正回路構成データを生成し出力する。修正回路記憶手段 1 3 は、疑似素子挿入手段 1 2 が出力するDC解析用回路の修正回路構成データを記憶する。過渡解析実行手段 1 4 は、各時変疑似素子のパラメータ値を時間変化させながら、修正回路構成データに基づきDC解析用回路の過渡解析計算を行うことによって解析対象回路の直流動作点を計算する。計算により得られた直流動作点のデータは、出力装置 3 に出力される。

【 0 0 4 2 】

以上のように構成された本実施例に係る回路動作解析装置 1 について、以下その動作を説明する。

【 0 0 4 3 】

まず、ユーザが回路データ入力装置 2 により解析対象回路のネットリストを作成し、そのネットリストが、解析対象回路の回路構成データとして解析対象回路記憶手段 1 1 に保存される。

【 0 0 4 4 】

次に、疑似素子挿入手段 1 2 は、解析対象回路記憶手段 1 1 から回路構成データを読み出す。そして、解析対象回路内の電圧源を抽出し、各電圧源に対し、図 4 (b) のような時変疑似素子 (以下「G V L ブランチ」という。) を当該電圧源に直列に挿入する。この G V L ブランチが挿入された状態を図 5 (a) に示す。

【 0 0 4 5 】

図 4 (b) の G V L ブランチは、経時変化しないインダクタンス L_0 をもつ疑似インダクタと、コンダクタンス G_v が時間とともに変化する時変疑似コンダクタとが並列接続された構成からなる。

【 0 0 4 6 】

また、疑似素子挿入手段 1 2 は、解析対象回路内の電流源を抽出し、各電流源に対し、図 4 (a) のような時変疑似素子 (以下「R V C ブランチ」という。) を当該電圧源に並列に挿入する。この R V C ブランチが挿入された状態を図 5 (b) に示す。

【 0 0 4 7 】

図 4 (a) の R V C ブランチは、経時変化しないキャパシタンス C_0 をもつ疑似キャパシタと、抵抗 R_v が時間とともに変化する時変疑似抵抗とが並列接続された構成からなる

10

20

30

40

50

。

【0048】

また、疑似素子挿入手段12は、解析対象回路内のバイポーラ・トランジスタを抽出し、この解析対象回路内の各バイポーラ・トランジスタのベース・エミッタ間及びベース・コレクタ間に図4(a)のRVCブランチを挿入する。このRVCブランチが挿入された状態を図5(c)に示す。

【0049】

更に、疑似素子挿入手段12は、解析対象回路内の電解効果トランジスタを抽出し、この解析対象回路内の各電界効果トランジスタのゲート・ソース間及びゲート・ドレイン間に図4(a)のRVCブランチを挿入する。このRVCブランチが挿入された状態を図5

10

【0050】

そして、疑似素子挿入手段12は、各時変疑似素子が挿入された解析対象回路の回路構成データを、修正回路構成データとして、修正回路記憶手段13に保存する。

【0051】

次に、過渡解析実行手段14は、修正回路記憶手段13に記憶された修正回路構成データに基づいて過渡解析を行う。

【0052】

過渡解析における各ノードの電圧値及び電流値の初期値は、従来のPTA法の場合と同様に設定する。すなわち、独立した電流源と独立した電圧源はその電圧値、電流値がその特定値に設定される。またその他のすべてのノードについては、初期状態として電圧値、電流値がゼロに設定される。

20

【0053】

また、各GVLブランチの時変疑似コンダクタのコンダクタンス G_v 及び各RVCブランチの時変疑似抵抗の抵抗値 R_v は、それぞれ、初期値 G_{v0} 、 R_{v0} に設定される。

【0054】

次に、過渡解析の計算において、各時変疑似コンダクタのコンダクタンス G_v 及び各時変疑似抵抗の抵抗値 R_v は、図4(c)に示したように、時間とともに指数関数的に増大させる。そして、最終的に時刻 t_{settle} において無限大とする。

【0055】

この時変疑似抵抗と時変疑似コンダクタを導入したことによって、修正回路は、過渡解析実行手段14が実行する過渡解析において、発振しにくい回路となる。

30

【0056】

図4(a)と図4(b)に示したRVCブランチとGLVブランチの角周波数 ω_0 におけるQ値は、次式のように表される。

【0057】

【数1】

$$Q = \frac{1}{\omega_0 C_0 R_v} \quad (1a)$$

40

$$Q = \frac{1}{\omega_0 L_0 G_v} \quad (1b)$$

【0058】

Q値は回路の発振の次数を表す。すなわち、Q値が大きいほど発振が起こりやすくなる。本実施例においては、Q値の分母に現れる R_v と G_v は時間とともに無限に増大するため、Q値は時間とともに減少する。従って、発振を緩和することができる。式(1)によれば、Q値は $t=t_{settle}$ においてゼロに近づく。このようにして、理論的に発振を評価することができる。

【0059】

50

また、他の見方をすれば、 R_v と G_v が無大と見なされる場合、RVCブランチは開放除去されていると見なされる。また、GLVブランチは短絡除去されているとみなされる。従って、定数 C_0 及び L_0 の影響はなくなる。

【0060】

以上のようにして過渡解析実行手段14が過渡解析を行った結果、 $t=t_{settle}$ において解析対象回路の各ノードの電圧・電流値は定常状態に到達する。この値状態が直流動作点である。過渡解析実行手段14は、この直流動作点のデータを出力装置3に出力し、直流解析処理を終了する。

【0061】

〔2〕いくつかの回路における実験例

従来のPTAアルゴリズムにおいては、解析対象回路が、次の例に挙げるような特定の部分回路を含む場合に、疑似素子により発振する可能性がある。この場合、従来のPTAアルゴリズムを用いると直流解析に失敗する。それに対して、本実施例の回路動作解析装置1の処理方法を使用した場合には、発振を回避することが可能となり、同時に収束時間が速められる。

【0062】

非特許文献8によれば、時変疑似抵抗 R_v 及び時変疑似コンダクタ G_v のモデルとしては、図6(a)、(b)に示したような、制御電圧源ERV及び制御電流源GGVがよく使用される。ERV及びGGVの電流 - 電圧関係は次の通りである。

【0063】

【数2】

$$V(ERV) = R_{v0} \cdot I(C_0) \cdot V_{CTRL} \quad (2a)$$

$$I(GGV) = G_{v0} \cdot V(L_0) \cdot V_{CTRL} \quad (2b)$$

【0064】

式(2)において、 V_{ERV} はERVの両端の電圧である。 $I(C_0)$ はキャパシタ C_0 を通して流れる電流である。 $I(GGV)$ はGGVを流れる電流である。 $V(L_0)$ はインダクタ L_0 を流れる電流である。また、 V_{CTRL} は図6(c)に示すように、時間とともに値が変化する制御電圧である。また、 R_{v0} 及び G_{v0} は R_v 及び G_v の初期値である。

【0065】

このモデルによれば、図6(a)、(b)の時変複合疑似素子の等価抵抗及び等価コンダクタンスは、図3(c)に示した曲線と同様の特性となる。

【0066】

〔例1〕インバータ・チェーン回路

テスト回路として、図7に示したような5つのCMOSからなるインバータ・チェーン回路を考える。

【0067】

インバータ・チェーン回路は、疑似過渡解析法における発振問題を引き起こす典型的な例の一つである。もし、解析対象回路がこの構造の部分回路を含んでいた場合、疑似過渡解析においてはすべての回路で発振が生じる。しかしながら、この種の発振の問題は、本実施例の回路動作解析装置1の行う解析方法では生じない。

【0068】

図8は、図7のインバータ・チェーン回路について、従来法(a)(b)(c)及び本発明の方法(d)の疑似過渡解析の比較を示す図である。

【0069】

図8(a)(b)は、図1に示したような一定キャパシタンスの疑似キャパシタを用いたPTAアルゴリズムにより、図7のインバータ・チェーン回路の過渡解析を行った結果

10

20

30

40

50

である（以下、このPTAアルゴリズムを「アルゴリズムA1」「アルゴリズムA2」という。）。半導体技術の進展によって、キャパシタンス C_0 とインダクタンス L_0 の値は、より小さな値が使用される。

【0070】

なお、アルゴリズムA1においては、疑似キャパシタは1Fとし、アルゴリズムA2においては、疑似キャパシタは0.0001Fとしている。

【0071】

図8(a)(b)の曲線では、2つのタイプの発振が見られる。一つは、過渡解析の初期の部分で減衰する発振であり、もう一つはその後に現れる定常的な発振である。初期の部分で減衰する発振は、電圧源に直列に挿入される疑似インダクタ L によって引き起こされている。また、その後に現れる定常的な発振は、挿入された疑似キャパシタの影響によるものである。

10

【0072】

図8(c)は、図2に示したようなキャパシタンスが時間とともに減衰する時変疑似キャパシタを用いたPTAアルゴリズムにより、図7のインバータ・チェーン回路の過渡解析を行った結果である（以下、このPTAアルゴリズムを「アルゴリズムB」という。）。

【0073】

この場合、もとの解析対象回路にはインダクタは挿入されないので、初期の減衰する発振は出現しない。しかしながら、時間とともに周波数が高くなる発振が見られる。この発振は時間とともに深刻となり、各ノードの電圧・電流値が定常状態となることはない。

20

【0074】

図8(d)は、本実施例1の回路動作解析装置1が行うPTAアルゴリズムにより、図7のインバータ・チェーン回路の過渡解析を行った結果である（以下、このPTAアルゴリズムを「アルゴリズムC」という）。電圧源に直列にインダクタンスを付加したにもかかわらず、 $t = 4$ 及び $t = 6$ の間でわずかに変動が見られるのみである。また、挿入された時変疑似素子 R_v 及び G_v により、最終的な定常状態はきれいに得られている。

【0075】

以上の結果から、PTA法における発振問題は、本実施例の回路動作解析装置1が行うPTAアルゴリズムにより解決されることがわかる。

30

【0076】

〔例2〕 実用レギュレータ回路

2つ目の例として、HSPICEシミュレータの直流解析において非収束問題を生じるような実用レギュレータ回路を考える。回路は25BJT(Bipolar Junction Transistor)を含む45素子から構成される。例1と同じ4つのアルゴリズムをこの回路の直流解析に適用して実験を行った。

アルゴリズムA1においては、過渡解析において発振が見られた。発振の振動は時間と共に減衰したが、 $t=1000$ においてもなお振動が見られ、定常状態が得られなかった。

アルゴリズムA2において、キャパシタ C の値を小さくした場合、発振は比較的早く減衰し、定常状態が得られた。

40

アルゴリズムBにおいても、過渡解析において、レギュレータ回路の正帰還に起因して、時間の経過と共に発振した。

それに対して、アルゴリズムCでは容易に定常状態となることが確認された。

【0077】

〔例3〕 ハイブリッド電圧リファレンス回路

3つ目の例として、図9に示したようなハイブリッド電圧リファレンス回路を考える。この回路の動作に関する詳細な説明は非特許文献1に記載されている。例1と同じ4つのアルゴリズムをこの回路の直流解析に適用して実験を行った。

【0078】

直流解析のための過渡解析を行った結果、アルゴリズムA1については、〔例2〕と同様

50

の結果が得られた。即ち、解析開始時に発振が生じ、振動は時間と共に減衰したものの、 $t = 1000$ においても定常状態に至らなかった。

【0079】

疑似キャパシタの値を小さくしたため、他の3つのアルゴリズムについては、最終的には定常状態に行き着くことができた。アルゴリズムA2のシミュレーション結果は、アルゴリズムCの結果と同等となった。これは、アルゴリズムA2では、疑似素子C, Lのパラメータ値を、アルゴリズムCと同じ C_0, L_0 としたためである。

【0080】

アルゴリズムBにおいては、ノード電圧波形は大きく変化し、定常状態に至るまでいくつかの周期の変動が見られた。それに対して、アルゴリズムCでは、ノード電圧の変動は小さかった。

10

【0081】

これら4つのアルゴリズムのシミュレーション効率を表1に示す。尚、表1は、〔例1〕〔例2〕のシミュレーション効率についても載せてある。

【0082】

【表1】

Performance Summary					
		t_{SETTLE}	# tot	T_{CPU}	
<i>Example 1</i>	A1	∞	500025	46.76	(t=500k)
	A2	∞	888	0.11	(t=500)
	B	∞	21926	2.39	(t=50)
	C	1.7	533 51*	0.12 0.03*	(t=50)
<i>Example 2</i>	A1	∞	2574	0.62	(t=1k)
	A2	153.1	2143 1673*	0.53 0.42*	(t=200)
	B	∞	118523	29.86	(t=50)
	C	76.1	2133 895*	0.99 0.45*	(t=200)
<i>Example 3</i>	A1	∞	922	0.13	(t=1k)
	A2	14.9	628 276*	0.10 0.05*	(t=50)
	B	6.8	729 297*	0.13 0.06*	(t=50)
	C	15.4	581 235*	0.15 0.08*	(t=50)

20

30

40

【0083】

*が付されたデータは $t=t_{settle}$ において得られたデータである。*が付されていないデータは、図8と図10に示したような過渡解析の終了時点で得られたデータである。

【0084】

50

アルゴリズムCを他のアルゴリズムA,Bと比較すると、#tot.(全イタレーション数)は、〔例1〕においては10%程度減少している。時間 t_{settle} (解が定常状態となるまでに時間)は、〔例3〕においては極めて短くなっている。また、いずれの例においても、CPUタイム T_{CPU} (CPU消費時間)は抑えられていることがわかる。

【実施例2】

【0085】

本発明の実施例2における回路動作解析装置1の構成は図3と同様である。本実施例2においては、疑似素子挿入手段2が解析対象回路に時変疑似素子を挿入する方法が実施例1と異なる。

【0086】

図10は、本発明の実施例2における時変疑似素子を説明する図である。本実施例においては、時変疑似素子としては、図10(a)に示したような疑似キャパシタ C_0 と時変疑似抵抗 R_v とが直列接続された回路構造の素子を用いる。時変疑似抵抗は、図10(b)に示したように、時間と共に抵抗値が指数関数的に増加する。

【0087】

時変疑似素子は、図10(c)に示したように、解析対象回路の各ノードとグランドとの間に挿入する。

【0088】

このようにしても、直流解析における過渡解析での発振を防止し、短時間で直流動作点を求めることが可能となる。

【図面の簡単な説明】

【0089】

【図1】SPICEにおける疑似インダクタンス及び疑似キャパシタンスを挿入した状態を示す図である。

【図2】非特許文献3における時変疑似キャパシタンスを説明する図である。

【図3】本発明の実施例1に係る回路動作解析装置1の構成を表す図である。

【図4】本発明の実施例1において用いられる時変疑似素子を説明する図である。

【図5】本発明の実施例1において用いられる時変疑似素子を回路内に挿入する方法を説明する図である。

【図6】本発明の実施例1において用いられる時変疑似素子のシミュレーション・モデルを示す図である。

【図7】インバータ・チェーン回路の一例を示す図である。

【図8】図7のインバータ・チェーン回路について、従来法(a)(b)及び本発明の方法(c)の疑似過渡解析の比較を示す図である。

【図9】ハイブリッド電圧リファレンス回路を示す図である。

【図10】本発明の実施例2における時変疑似素子を説明する図である。

【符号の説明】

【0090】

- 1 回路動作解析装置
- 2 回路データ入力装置
- 3 出力装置
- 11 解析対象回路記憶手段
- 12 疑似素子挿入手段
- 13 修正回路記憶手段
- 14 過渡解析実行手段

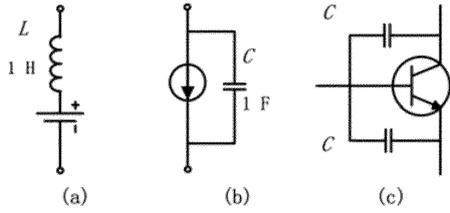
10

20

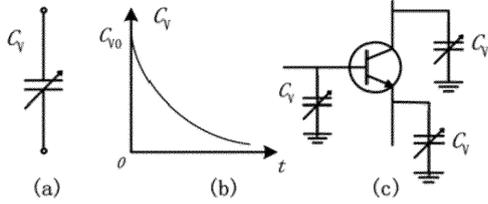
30

40

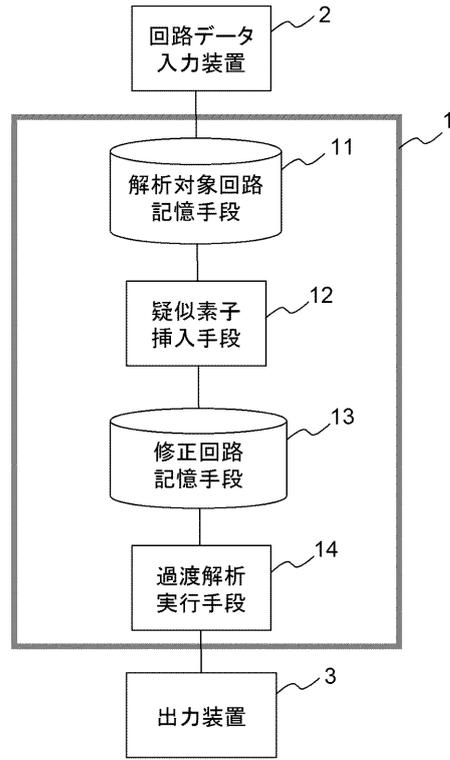
【 図 1 】



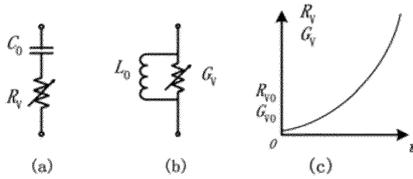
【 図 2 】



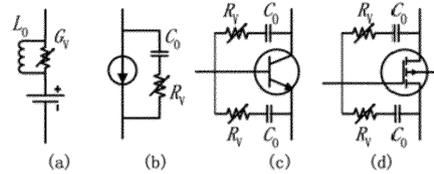
【 図 3 】



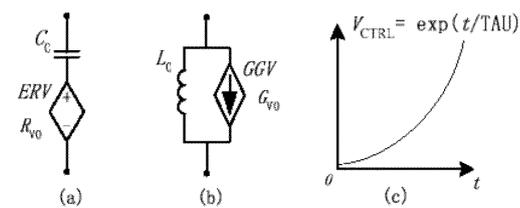
【 図 4 】



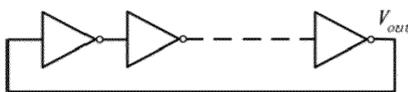
【 図 5 】



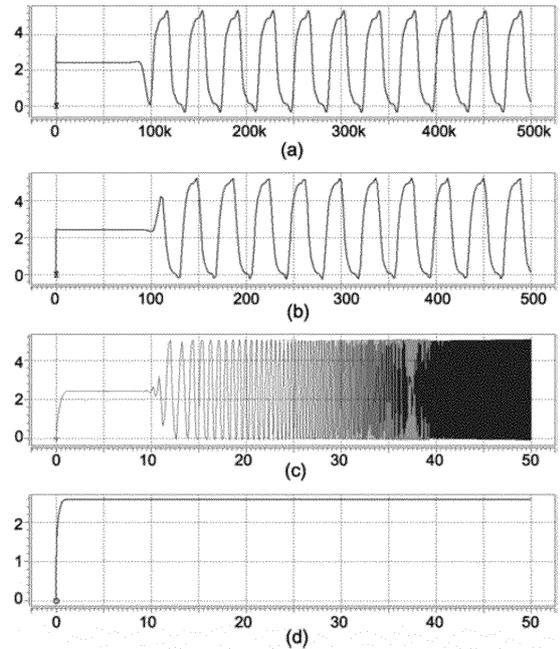
【 図 6 】



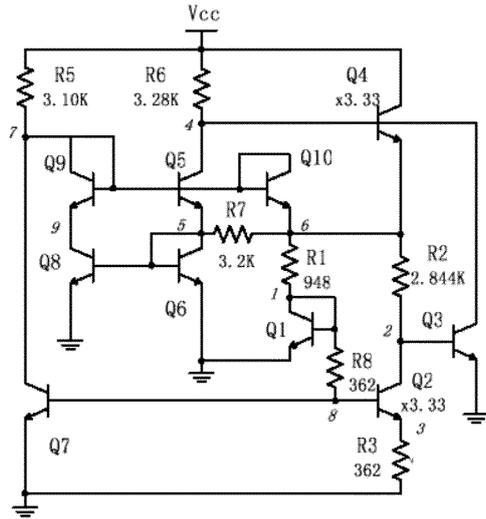
【 図 7 】



【 図 8 】



【 図 9 】



【 図 10 】

