

(19)日本国特許庁(JP)

(12)公開特許公報(A)

(11)特許出願公開番号

特開2022-126486  
(P2022-126486A)

(43)公開日 令和4年8月30日(2022.8.30)

(51)Int.Cl.		F I				テーマコード(参考)
G 1 1 C	11/24	(2006.01)	G 1 1 C	11/24		5 B 0 1 5
H 0 1 L	21/8242	(2006.01)	H 0 1 L	27/108	3 2 1	5 F 0 8 3
G 1 1 C	11/36	(2006.01)	H 0 1 L	27/108	6 2 5	
			G 1 1 C	11/36		

審査請求 未請求 請求項の数 9 O L (全 22 頁)

(21)出願番号	特願2021-24590(P2021-24590)
(22)出願日	令和3年2月18日(2021.2.18)

(71)出願人	899000068 学校法人早稲田大学 東京都新宿区戸塚町1丁目104番地
(74)代理人	110002675 弁理士法人ドライト国際特許事務所
(72)発明者	片山 光亮 東京都新宿区戸塚町1丁目104番地 学 校法人早稲田大学内
Fターム(参考)	5B015 KA13 KB23 QQ08 5F083 AD15 AD69 AD70 GA05 GA09

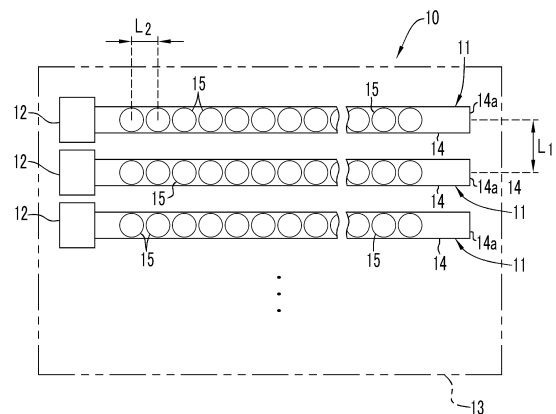
(54)【発明の名称】アクセス装置及び方法並びにメモリ装置

(57)【要約】

【課題】装置の小型化に有利なアクセス装置及び方法並びにそれを用いたメモリ装置を提供する。

【解決手段】メモリ装置10は、信号線14に複数のメモリセル15が接続されている。アクセス部12は、先行パルスを信号線14に出力した後、第1パルスを出力する。先行パルスは、信号線14の他端14aで反射し第2パルスとして信号線14を伝播する。第1パルスは、アクセス対象となるメモリセル15が信号線14に接続された位置で第2パルスと重なるタイミングで出力される。同極性の第1パルスと第2パルスとが重なることにより生成される合成電圧でメモリセル15内のツェナーダイオードが導通して、キャパシタが充電されてデータが書き込まれる。

【選択図】図1



## 【特許請求の範囲】

## 【請求項 1】

印加される電圧が正電圧である第 1 閾値電圧より高いときに導通した第 1 導通状態及び負電圧である第 2 閾値電圧より低いときに導通した第 2 導通状態になる非線形導通部と、前記非線形導通部に直列に接続され、前記非線形導通部が前記第 1 導通状態のときに印加される電圧または流れる電流によって第 1 記憶状態と、前記非線形導通部が前記第 2 導通状態のときに印加される電圧または流れる電流によって第 2 記憶状態とに変化する記憶素子部とを有する複数のメモリセルと、  
前記複数のメモリセルの一端が所定の間隔で接続された導電部材と、  
パルス電圧が第 1 極性と前記第 1 極性と異なる第 2 極性とから選択した極性で前記非線形導通部を導通させない範囲内の第 1 パルスを前記導電部材の一端に出力する第 1 パルス発生部及びパルス電圧が前記第 1 パルスと同極性で前記非線形導通部を導通させない範囲内の第 2 パルスを前記導電部材の他端に出力する第 2 パルス発生部とを有し、前記複数のメモリセルのうちから選択した 1 つのメモリセルにアクセスする際に、前記選択した 1 つのメモリセルが接続された前記導電部材の位置で前記第 1 パルスと前記第 2 パルスとを重ね、前記第 1 閾値電圧よりも高いまたは前記第 2 閾値電圧よりも低い電圧を前記非線形導通部に印加するアクセス部と  
を備えることを特徴とするメモリ装置。

10

## 【請求項 2】

前記導電部材は、線状に延びた信号線であることを特徴とする請求項 1 に記載のメモリ装置。

20

## 【請求項 3】

前記第 2 パルス発生部は、前記導電部材の電氣的に開放または短絡された他端であり、前記第 1 パルス発生部は、前記導電部材で反射されて前記第 2 パルスとなる先行パルスを出力するとともに、前記先行パルスから遅延して前記第 1 パルスを出力することを特徴とする請求項 1 または 2 に記載のメモリ装置。

## 【請求項 4】

前記記憶素子部は、前記非線形導通部に直列に接続されたキャパシタであることを特徴とする請求項 1 ないし 3 のいずれか 1 項に記載のメモリ装置。

30

## 【請求項 5】

前記非線形導通部は、ツェナーダイオードであることを特徴とする請求項 1 ないし 4 のいずれか 1 項に記載のメモリ装置。

## 【請求項 6】

前記非線形導通部は、互いに逆向きに直列接続された一対のツェナーダイオードであることを特徴とする請求項 1 ないし 4 のいずれか 1 項に記載のメモリ装置。

## 【請求項 7】

前記非線形導通部は、互いに逆向きに並列接続された一対のダイオードであることを特徴とする請求項 1 ないし 4 のいずれか 1 項に記載のメモリ装置。

## 【請求項 8】

印加される電圧が閾値電圧を超えたときに導通状態になり作動対象部に電圧を印加または電流を流す非線形導通部を含む複数の被アクセス回路部と、  
前記複数の被アクセス回路部の一端が所定の間隔で接続された導電部材と、  
パルス電圧が前記非線形導通部を導通させない範囲内の第 1 パルスを前記導電部材の一端に出力する第 1 パルス発生部及びパルス電圧が前記第 1 パルスと同極性で前記非線形導通部を導通させない範囲内の第 2 パルスを前記導電部材の他端に出力する第 2 パルス発生部とを有し、前記複数の被アクセス回路部のうちから選択した 1 つの被アクセス回路部にアクセスする際に、前記選択した 1 つの被アクセス回路部が接続された前記導電部材の位置で同極性の前記第 1 パルスと前記第 2 パルスとを重ね、前記閾値電圧を超える電圧を前記非線形導通部に印加するアクセス部と  
を備えることを特徴とするアクセス装置。

40

50

## 【請求項9】

印加される電圧が閾値電圧を超えたときに導通状態になり作動対象部に電圧を印加または電流を流す非線形導通部を含む複数の被アクセス回路部が所定の間隔で接続された導電部材の一端に、パルス電圧が前記非線形導通部を導通させない範囲内の第1パルスを前記導電部材の一端に出力する第1パルス発生ステップと、  
前記複数の被アクセス回路部のうちのアクセスする1つの被アクセス回路部が接続された前記導電部材の位置で前記第1パルスと重なるタイミングで、パルス電圧が前記第1パルスと同極性で前記非線形導通部を導通させない範囲内の第2パルスを前記導電部材の他端に出力する第2パルス発生ステップと、を有し、  
同極性の前記第1パルスと前記第2パルスを重ねることにより前記閾値電圧を超える電圧を前記非線形導通部に印加する、ことを特徴とするアクセス方法。

10

## 【発明の詳細な説明】

## 【技術分野】

## 【0001】

本発明は、アクセス装置及び方法並びにメモリ装置に関するものである。

## 【背景技術】

## 【0002】

ダイナミックRAM（DRAM）に代表されるメモリ装置では、互いに直交する方向に延びた複数のワード線と複数のビット線と、ワード線とビット線との各交点にメモリセルが配置されたいわゆるクロスポイント型の構造を有している（例えば非特許文献1を参照）。すなわち、マトリクス状に配列された複数のメモリセルのうちの1つをワード線とビット線を使って選択し、その選択したメモリセルに対して二値データの書き込みやデータの読み出しを行っている。

20

## 【先行技術文献】

## 【非特許文献】

## 【0003】

【非特許文献1】Alessio Spessot, Hyungrock Oh, “1T-1C Dynamic Random Access Memory Status, Challenges, and Prospects”, IEEE TRANSACTIONS ON ELECTRON DEVICES, VOL. 67, NO. 4, APRIL 2020, p.1382-1393

30

## 【発明の概要】

## 【発明が解決しようとする課題】

## 【0004】

ところで、上記のようなクロスポイント型のメモリ装置では、ワード線同士及びビット線同士において信号線の間隔が必要であり、面積あたりの記憶容量を高くしてメモリ装置を小型化するうえでの妨げになっていた。

## 【0005】

本発明は、上記事情に鑑みてなされたものであり、装置の小型化に有利なアクセス装置及び方法並びにそれを用いたメモリ装置を提供することを目的とする。

## 【課題を解決するための手段】

## 【0006】

本発明のメモリ装置は、印加される電圧が正電圧である第1閾値電圧より高いときに導通した第1導通状態及び負電圧である第2閾値電圧より低いときに導通した第2導通状態になる非線形導通部と、前記非線形導通部に直列に接続され、前記非線形導通部が前記第1導通状態のときに印加される電圧または流れる電流によって第1記憶状態と、前記非線形導通部が前記第2導通状態のときに印加される電圧または流れる電流によって第2記憶状態とに変化する記憶素子部とを有する複数のメモリセルと、前記複数のメモリセルの一端が所定の間隔で接続された導電部材と、パルス電圧が第1極性と前記第1極性と異なる第2極性とから選択した極性で前記非線形導通部を導通させない範囲内の第1パルスを前記導電部材の一端に出力する第1パルス発生部及びパルス電圧が前記第1パルスと同極性で前記非線形導通部を導通させない範囲内の第2パルスを前記導電部材の他端に出力する第

40

50

2パルス発生部とを有し、前記複数のメモリセルのうちから選択した1つのメモリセルにアクセスする際に、前記選択した1つのメモリセルが接続された前記導電部材の位置で前記第1パルスと前記第2パルスとを重ね、前記第1閾値電圧よりも高いまたは前記第2閾値電圧よりも低い電圧を前記非線形導通部に印加するアクセス部とを備えるものである。

【0007】

本発明のアクセス装置は、印加される電圧が閾値電圧を超えたときに導通状態になり作動対象部に電圧を印加または電流を流す非線形導通部を含む複数の被アクセス回路部と、前記複数の被アクセス回路部の一端が所定の間隔で接続された導電部材と、パルス電圧が前記非線形導通部を導通させない範囲内の第1パルスを前記導電部材の一端に出力する第1パルス発生部及びパルス電圧が前記第1パルスと同極性で前記非線形導通部を導通させない範囲内の第2パルスを前記導電部材の他端に出力する第2パルス発生部とを有し、前記複数の被アクセス回路部のうちから選択した1つの被アクセス回路部にアクセスする際に、前記選択した1つの被アクセス回路部が接続された前記導電部材の位置で同極性の前記第1パルスと前記第2パルスとを重ね、前記閾値電圧を超える電圧を前記非線形導通部に印加するアクセス部とを備えるものである。

【0008】

本発明のアクセス方法は、印加される電圧が閾値電圧を超えたときに導通状態になり作動対象部に電圧を印加または電流を流す非線形導通部を含む複数の被アクセス回路部が所定の間隔で接続された導電部材の一端に、パルス電圧が前記非線形導通部を導通させない範囲内の第1パルスを前記導電部材の一端に出力する第1パルス発生ステップと、前記複数の被アクセス回路部のうちのアクセスする1つの被アクセス回路部が接続された前記導電部材の位置で前記第1パルスと重なるタイミングで、パルス電圧が前記第1パルスと同極性で前記非線形導通部を導通させない範囲内の第2パルスを前記導電部材の他端に出力する第2パルス発生ステップと、を有し、同極性の前記第1パルスと前記第2パルスを重ねることにより前記閾値電圧を超える電圧を前記非線形導通部に印加するものである。

【発明の効果】

【0009】

本発明のメモリ装置によれば、アクセスするメモリセルの接続位置で互いに同極性の第1パルスと第2パルスとを重ねて非線形導通部を導通させる電圧を発生させて、非線形導通部が導通状態のときに印加される電圧または流れる電流によって記憶素子部の記憶状態を変化させるから、1つの導電部材で複数のメモリセルの1つを選択してアクセスすることができ、装置の小型化に有利になる。

【0010】

本発明のアクセス装置及び方法によれば、複数の被アクセス回路部のうちのアクセスする1つの被アクセス回路部が接続された導電部材の位置で第1パルスと重なるタイミングで第1パルスと同極性の第2パルスを出力し、第1パルスと第2パルスを重ねることにより閾値電圧を超える電圧を非線形導通部に印加して、作動対象部に電圧を印加または電流を流すので、複数の被アクセス回路部の1つを選択してアクセスするための配線を少なくすることができ、装置の小型化に有利になる。

【図面の簡単な説明】

【0011】

【図1】実施形態に係るメモリ装置の概略を示す説明図である。

【図2】メモリ装置の回路構成を示す回路図である。

【図3】メモリセルの構造を示す断面図である。

【図4】メモリセルに「1」のデータを書き込む際の各パルスを示す説明図である。

【図5】メモリセルに「0」のデータを書き込む際の各パルスを示す説明図である。

【図6】信号線の両端にパルス発生部を設けた例を示す回路図である。

【図7】互いに逆向きに直列接続したツェナーダイオードで構成した非線形導通部を示す回路図である。

【図8】互いに逆向きに並列接続したダイオードで構成した非線形導通部を示す回路図で

ある。

【図9】導電部材を板状の導電板で構成したメモリ装置の概略を示す説明図である。

【発明を実施するための形態】

【0012】

図1において、メモリ装置10は、複数のメモリアレイ11と、メモリアレイ11ごとに設けられたアクセス部12とを備えている。各メモリアレイ11とアクセス部12とは、例えば半導体基板13に形成されている。各メモリアレイ11は、導電材料で作製された導電部材としての信号線14と、これに接続された複数のメモリセル15を有している。メモリセル15は、二値データすなわち「1」または「0」を記憶する。この例では、複数のメモリセル15が複数の被アクセス回路部である。

10

【0013】

アクセス部12は、信号線14によって接続されたメモリアレイ11の被アクセス回路部としてのメモリセル15にアクセスする。この例におけるアクセスは、メモリセル15へのデータの書き込み及びメモリセル15からのデータの読み出しである。アクセス部12は、詳細を後述するように、第1パルスを出力する第1パルス発生部としてのパルス発生部16、データの読み出しのための検出部17等を有している（いずれも図2参照）。アクセス部12によるメモリセル15へのアクセスは、信号線14を介してメモリセル15を1つずつ選択しながら行う。

【0014】

なお、この例では、メモリアレイ11ごとにアクセス部12を設けているが、複数のメモリアレイ11に対して共通な1つのアクセス部12を設け、アクセスするメモリアレイ11を選択するように構成してもよい。

20

【0015】

信号線14は、この例では、一方向（図1の左右方向）に線状に延び、その延びる方向と直交する方向に複数の信号線14が所定のピッチ $L_1$ で並べて設けられている。メモリアレイ11の各メモリセル15は、信号線14に沿ってピッチ $L_2$ で並べて設けられている。例えば、ピッチ $L_1$ は $2F$ （ $F$ ：最小加工寸法）であり、ピッチ $L_2$ は $1F$ である。

【0016】

各メモリアレイ11において、各メモリセル15は、互いに所定の間隔、この例ではピッチ $L_2$ で信号線14に接続されている。アクセス部12は、1つのメモリアレイ11に対して1本の信号線14を用いて複数のメモリセル15のうちのアクセスするメモリセル15を選択する。

30

【0017】

アクセス対象となるメモリセル15、すなわち実際にデータの書き込みまたは読み出しを行うメモリセル15の選択は、信号線14上で同極性のパルスを重ねること、より詳細には信号線14におけるアクセス対象となるメモリセル15の接続位置で同極性のパルスを重ねることで行う。したがって、クロスポイント型メモリのように信号線14と直交する他の信号線が不要であり、基板上におけるメモリセル15の密度を高めることができ小型化に有利である。ワード線とビット線を用いたクロスポイント型メモリにおけるメモリセルのピッチは、行方向及び列方向にそれぞれ最小で $2F$ が必要であるが、このメモリ装置10では、上記のようにピッチ $L_1$ を $2F$ 、ピッチ $L_2$ を $1F$ とすることができる。

40

【0018】

アクセス部12は、信号線14の一端に接続されている。この信号線14は、その他端14aがグランドされており、終端が短絡されて反射係数が「 $-1$ 」となった伝送路になっている。これにより、信号線14の他端14aは、アクセス部12からの先行パルスをその極性を反転させた第2パルス（反射波）として反射する。このような信号線14の他端14aは、第2パルスを発生する第2パルス発生部として機能する。

【0019】

信号線14の長さは、予め決められており、またアクセス部12及び他端14aから各メモリセル15までの各距離は、それぞれ予め決められている。これにより、アクセス部1

50

2からの先行パルスが他端14aに到達するのに要する時間、アクセス部12から各メモリセル15に第1パルスが、また他端14aから各メモリセル15に第2パルスが到達するのに要する時間、さらには第2パルスがアクセス部12に到達するのに要する時間がそれぞれ既知になっている。

#### 【0020】

図2にメモリアレイ11とアクセス部12との回路を示す。なお、図2では、メモリセル15について、アクセス部12側から並べた順番に符号15a、15b、15c・・・を付してある。以下では、個々のメモリセル15a、15b、15c・・・を区別しない場合には、メモリセル15と総称して説明する。

#### 【0021】

メモリセル15は、直列に接続された、非線形導通部としてのツェナーダイオード21と記憶素子部としてのキャパシタ22とから構成される。ツェナーダイオード21は、そのアノードが信号線14に接続され、カソードがキャパシタ22の一端に接続されている。キャパシタ22は、その他端がグランドされている。なお、グランドを基準電位(0V)とする。

#### 【0022】

ツェナーダイオード21は、閾値電圧 $V_{TH}$ よりも高い順方向電圧が端子間電圧として印加されたときに導通するとともに、ツェナー電圧 $V_{BR}$ より低い逆方向電圧が端子間電圧として印加されたときに導通する。閾値電圧 $V_{TH}$ は、正電圧であり( $V_{TH} > 0$ )、ツェナー電圧 $V_{BR}$ は、負電圧である( $V_{BR} < 0$ )。ツェナーダイオード21は、これまでのツェナーダイオードと同様のものである。この例では、閾値電圧 $V_{TH}$ が第1閾値電圧であって、閾値電圧 $V_{TH}$ よりも高い電圧の印加で導通した状態がツェナーダイオード21の第1導通状態であり、ツェナー電圧 $V_{BR}$ が第2閾値電圧であって、ツェナー電圧 $V_{BR}$ よりも低い電圧の印加で導通した状態がツェナーダイオード21の第2導通状態である。また、このようなツェナーダイオード21については、閾値電圧を超えるとは、閾値電圧 $V_{TH}$ よりも高いこと、またツェナー電圧 $V_{BR}$ よりも低いことを意味する。

#### 【0023】

キャパシタ22は、メモリセル15が記憶する二値データに対応して2つの充電状態になる。この例では、キャパシタ22の正の充電電圧 $V_1$ ( $V_1 > 0$ )が「1」のデータに、負の充電電圧 $V_2$ ( $V_2 < 0$ )が「0」のデータにそれぞれ対応している。充電電圧 $V_1$ のキャパシタ22は、ツェナーダイオード21との接続点(カソード)を第1電位である電位 $V_1$ にし、充電電圧 $V_2$ のキャパシタ22は、ツェナーダイオード21との接続点を第2電位である電位 $V_2$ にする。この例では、キャパシタ22が充電電圧 $V_1$ となっている状態がメモリセル15の第1記憶状態であり、キャパシタ22が充電電圧 $V_2$ となっている状態がメモリセル15の第2記憶状態である。

#### 【0024】

上記充電電圧 $V_1$ は、ツェナーダイオード21の閾値電圧 $V_{TH}$ 、及び詳細を後述する第1パルスと第2パルスの重なったときの合成電圧で決まり、充電電圧 $V_2$ は、ツェナーダイオード21のツェナー電圧 $V_{BR}$ 及び合成電圧で決まる。「1」のデータを書き込む場合の合成電圧を $V_{A+}$ ( $> 0$ )、「0」のデータを書き込む場合の合成電圧を $V_{A-}$ ( $< 0$ )としたときに、充電電圧 $V_1$ 、 $V_2$ は、「 $V_1 = V_{A+} - V_{TH}$ 」、「 $V_2 = V_{A-} - V_{BR}$ 」となる。なお、合成電圧を $V_{A+}$ と合成電圧を $V_{A-}$ を特に区別しない場合には、合成電圧 $V_A$ と称して説明する。

#### 【0025】

アクセス部12は、上述のパルス発生部16、検出部17の他、アイソレータを構成するサーキュレータ24及び終端抵抗25を有している。パルス発生部16は、パルスを発生するパルス発生源16aと、このパルス発生源16aと信号線14とのインピーダンスを整合するための抵抗16bとを有しており、発生タイミングを制御して、先行パルスと第1パルスとを出力する。パルス発生部16から出力される先行パルスと第1パルスとは、それぞれ正極性のものと負極性のものがある。先行パルスは、他端14aで第2パルス

10

20

30

40

50

を発生させるためのものである。パルス発生部 16 から出力される先行パルス及び第 1 パルスは、サーキュレータ 24 を介して信号線 14 の一端に出力される。先行パルス及び第 1 パルスを出力する際には、信号線 14 をプリチャージする必要がなく、消費電力を低減する上で有利である。

#### 【0026】

データの書き込み及び読み出しのいずれの場合にも、パルス発生部 16 は、先行パルスを出力した時点からアクセス対象となるメモリセル 15 の信号線 14 における接続位置に応じた遅延時間  $T_d$  だけ遅延させて第 1 パルスを出力する。遅延時間  $T_d$  は、後述の時間  $T_a$ 、 $T_b$  を用いて「 $T_d = T_a - T_b$ 」となるように制御される。

#### 【0027】

上記時間  $T_a$  は、パルス発生部 16 が先行パルスを出力した時点から、この先行パルスが信号線 14 の他端 14a で反射することで生成される第 2 パルスがアクセス対象のメモリセル 15 の信号線 14 上の接続位置に到達するのに要する時間である。一方、時間  $T_b$  は、パルス発生部 16 が第 1 パルスを出力した時点から、この第 1 パルスがアクセス対象のメモリセル 15 の信号線 14 上の接続位置へ到達するのに要する時間である。すなわち、アクセス対象となるメモリセル 15 の信号線 14 上の接続位置において、第 1 パルスが第 2 パルスと重なるタイミングで出力される。これにより、アクセス対象となるメモリセル 15 に対して、第 1 パルスのパルス電圧と第 2 パルスのパルス電圧とを重ね合わせた合成電圧  $V_A$  を印加する。各メモリセル 15 の信号線 14 上の接続位置は既知であるため遅延時間  $T_d$  は予め決めておくことができる。

#### 【0028】

パルス発生部 16 は、「1」のデータを書き込む場合には、負極性（パルス電圧がマイナス）の先行パルスを、また正極性（パルス電圧がプラス）の第 1 パルスを出力する。一方、「0」のデータを書き込む場合には、正極性の先行パルスを、また負極性の第 1 パルスを出力する。したがって、いずれのデータを書き込む場合にも、先行パルスが他端 14a で反射して生成される第 2 パルスは、第 1 パルスと同極性となるが、「1」のデータを書き込む場合は、第 2 パルスは正極性パルスであり、「0」のデータを書き込む場合は、第 2 パルスは負極性パルスである。この例では、信号線 14 の他端 14a における反射係数が「 $-1$ 」なので、先行パルスと第 2 パルスのパルス電圧の大きさ（絶対値）は等しい。なお、この例では、正極性、負極性のうちの一方が第 1 極性であり、他方が第 2 極性である。

#### 【0029】

メモリ装置 10 では、個々のパルスではツェナーダイオード 21 を導通させることがない先行パルス、第 1 パルス、第 2 パルスを用い、上述のように第 1 パルスと第 2 パルスとを重ねた合成電圧  $V_A$  をメモリセル 15 に印加することでツェナーダイオード 21 を導通させて複数のメモリセル 15 のうちから 1 つのメモリセル 15 をアクセス対象として選択し、当該メモリセル 15 に対してデータの書き込み、読み出しを行う。

#### 【0030】

「1」のデータを書き込む場合の先行パルスと第 1 パルスの各パルス電圧は、第 1 パルスと第 2 パルスとから生成される合成電圧  $V_{A+}$  が、メモリセル 15 に「0」のデータが書き込まれている状態で、ツェナーダイオード 21 にそれを導通させるだけの順方向電圧を印加するように決められる。具体的には、合成電圧  $V_{A+}$  と充電電圧  $V_2$  との差が閾値電圧  $V_{TH}$  よりも高い一定の電圧となるようにされ（ $V_{A+} - V_2 > V_{TH}$ ）、合成電圧  $V_{A+}$  は、「 $V_{A+} > V_{TH} + V_2$ 」を満たすように決めている。これにより、ツェナーダイオード 21 に順方向電流を流して、キャパシタ 22 を充電電圧  $V_1$  まで充電する。

#### 【0031】

一方、「0」のデータを書き込む場合の先行パルスと第 1 パルスの各パルス電圧は、第 1 パルスと第 2 パルスとが信号線 14 上で重なり合ったときの合成電圧  $V_{A-}$  が、メモリセル 15 に「1」のデータが書き込まれている状態で、ツェナーダイオード 21 にそれを導通させるだけの逆方向電圧を印加するように決められる。すなわち、合成電圧  $V_{A-}$  と、

「1」のデータが書き込まれているキャパシタ22の充電電圧 $V_1$ との差が、ツェナー電圧 $V_{BR}$ よりも低い一定の電圧となるようにされ( $V_A - V_1 < V_{BR}$ )、合成電圧 $V_A$ は、「 $V_A < V_{BR} + V_1$ 」を満たすように決められる。これにより、ツェナーダイオード21に逆方向電流を流して、キャパシタ22を充電電圧 $V_2$ まで充電する。

#### 【0032】

いずれの場合の先行パルス、第1パルス及び第2パルスのパルス電圧は、メモリセル15に「1」または「0」のデータが書き込まれているいずれの状態であっても、ツェナーダイオード21を導通させない電圧として設定される。すなわち、キャパシタ22が充電電圧 $V_2$ であるときに、正極性のパルスによっても、ツェナーダイオード21に閾値電圧 $V_{TH}$ より高い電圧が印加されず、キャパシタ22が充電電圧 $V_1$ であるときに、負極性のパルスによっても、ツェナーダイオード21にツェナー電圧 $V_{BR}$ より低い電圧が印加されないようにしている。具体的には、正極性の先行パルス、第1パルス及び第2パルスのパルス電圧を $V_{p+}$ とすると、パルス電圧 $V_{p+}$ は「 $V_{p+} < V_{TH} + V_2$ 」を満たすように決められる。また、負極性の先行パルス、第1パルス及び第2パルスのパルス電圧を $V_{p-}$ とすると、パルス電圧 $V_{p-}$ は「 $V_{p-} > V_{BR} + V_1$ 」を満たすように決められる。同極性の先行パルス(第2パルス)と第1パルスとの各パルス電圧は、互いに同じにしてもよく、異なってもよい。

#### 【0033】

データを読み出す場合には、パルス発生部16は、「1」のデータを書き込む場合と同様に先行パルスと第1パルスを出力する。これにより、読み出すメモリセル15に対して、「1」のデータを書き込む場合と同じ合成電圧 $V_{A+}$ を印加する。この例では、「0」のデータの読み出しは、破壊読み出しとなるため、「0」のデータの読み出し後には「0」のデータの書き込みを行う。

#### 【0034】

サーキュレータ24は、その3つの端子にパルス発生部16、信号線14、終端抵抗25がそれぞれ接続されている。このサーキュレータ24は、パルス発生部16からの先行パルス、第1パルスを信号線14に出力し、信号線14からのパルスを終端抵抗25に出力する。終端抵抗25は、その一端がサーキュレータ24に接続され他端がグランドされている。このサーキュレータ24によって、信号線14からのパルス(第2パルス)は、終端抵抗25によって吸収される。

#### 【0035】

検出部17は、メモリセル15からのデータの読み出しの際に、アクセス部12に第2パルスが到達するタイミングでアクセス部12における信号線14の電位変化を検出する。この例では、検出部17は、サーキュレータ24と終端抵抗25との接続点に接続された例えば計装アンプ等で構成されており、サーキュレータ24と終端抵抗25との接続点の電位をアクセス部12における信号線14の電位として検出する。

#### 【0036】

読み出し対象のメモリセル15が記憶しているデータに応じてメモリセル15による第2パルスの吸収の有無が決まり、第2パルスの終端抵抗25への到達の有無が変化する。このため、この検出部17による電位の検出で読み出し対象のメモリセル15に記憶されているデータを判別できる。具体的には、検出部17によって第2パルス相当の電位が検出された場合に「1」のデータと判別し、その電位が検出されなかった場合に「0」のデータと判別する。

#### 【0037】

なお、第1パルスと第2パルスとを重ね合わせたパルスの持つエネルギーが、キャパシタ22の状態を充電電圧 $V_1$ と充電電圧 $V_2$ との間で変化させるエネルギーを超える場合は、第1パルスと第2パルスが完全に消失しない場合がある。このような場合には、吸収されていない第2パルス相当の電位と完全に消失しない第2パルス相当の電位とのいずれが検出されるかによりデータを判別すればよい。第2パルスが完全に消失する場合、しない場合のいずれの場合でも、第2パルスの「1」のデータに対応する電位(吸収されない

10

20

30

40

50



場合の電位)と「0」のデータに対応する電位(完全または不完全に吸収される場合の電位)との中間に設定される閾値を用いて、いずれの電位が検出されたかを判別するのが簡便である。

【0038】

なお、「0」のデータを書き込む場合と同様に先行パルスと第1パルスを出力することでデータを読み出すこともできる。この場合には、検出部17によって第2パルス相当の電位が検出された場合に「0」のデータと判別し、その電位が検出されなかった場合に「1」のデータと判別する。また、この場合では、「1」のデータの読み出しが破壊読み出しとなるため、「1」のデータの読み出し後には「1」のデータの書き込みを行う。

【0039】

図3にメモリセル15の構造の一例を示す。半導体基板13には、有底穴であるトレンチ32が例えばピッチ $L_2$ で形成されている。トレンチ32の内面(底面および側面)に誘電体33が設けられ、誘電体33の内側に円柱形状のn型半導体からなるピラー34が設けられている。このような誘電体33と、一对の電極としての半導体基板13のトレンチ32の周囲の部分及びピラー34とで、トレンチ型のキャパシタ22が構成される。ピラー34の上部にp型半導体からなるピラー35が設けられており、ピラー34とピラー35によりツェナーダイオード21が構成される。ピラー35の上部にコンタクト36が形成され、各コンタクト36を接続するように信号線14が形成されている。

【0040】

次に上記構成の作用について説明する。以下では、メモリセル15bにアクセスする場合を例に説明する。「1」のデータを書き込む場合、図4に模式的に示すように、パルス発生部16は、サーキュレータ24を介して、負極性の先行パルス $P_{pa}$ を信号線14の一端に出力する(時刻 $t_{1a}$ )。この先行パルス $P_{pa}$ は、信号線14上を他端14aに向かって伝播し、他端14aに達すると反射して、正極性の第2パルス $P_{2a}$ としてアクセス部12に向かって信号線14上を伝播する。

【0041】

先行パルス $P_{pa}$ を出力した時点から、上述のようにしてメモリセル15bについて予め決められている遅延時間 $T_d$ が経過した時刻 $t_{2a}$ で、パルス発生部16は、正極性の第1パルス $P_{1a}$ を出力する。すなわち、書き込み対象であるメモリセル15bと信号線14との接続位置に、第2パルス $P_{2a}$ と同時に第1パルス $P_{1a}$ が到達するタイミングで第1パルス $P_{1a}$ が出力される。

【0042】

なお、図4では、先行パルス $P_{pa}$ が他端14aで反射された後に、第1パルス $P_{1a}$ が出力されるように描いてあるが、信号線14上でのアクセス対象となるメモリセル15の接続位置、信号線14の長さなどにより遅延時間 $T_d$ は変わるため、先行パルス $P_{pa}$ が他端14aで反射されるのと同時間あるいは反射前に第1パルス $P_{1a}$ が出力される場合もある。

【0043】

第1パルス $P_{1a}$ は、信号線14を他端14aに向かって伝播し、信号線14上のメモリセル15bの接続位置で第2パルス $P_{2a}$ と重なる(時刻 $t_{3a}$ )。この結果、信号線14上のメモリセル15bの接続位置に第1パルス $P_{1a}$ と第2パルス $P_{2a}$ の各パルス電圧を加算した正の合成電圧 $V_{A+}$ が生じ、これがメモリセル15bに印加される。

【0044】

メモリセル15bがデータ「0」を保持している場合には、キャパシタ22は充電電圧 $V_2$ ( $<0$ )である。このため、ツェナーダイオード21には、電圧 $V_{A+}-V_2$ が順方向電圧として印加される。「1」のデータを書き込む場合では、第1パルス $P_{1a}$ と第2パルス $P_{2a}$ (先行パルス $P_{pa}$ )の各パルス電圧がそれらによって生成される合成電圧 $V_{A+}$ について「 $V_{A+}>V_{TH}+V_2$ 」を満たすようにされている。このため、ツェナーダイオード21は、閾値電圧 $V_{TH}$ よりも高い順方向電圧が印加されて導通し、順方向電流が流れる。この順方向電流によりキャパシタ22が充電され、その充電にともないツェ

10

20

30

40

50

ナーダイオード 21 のカソードの電位が上昇する。

【0045】

キャパシタ 22 の充電が進み充電電圧  $V_1$  まで充電されると、すなわちツェナーダイオード 21 のカソードの電位が  $V_1$  になると、ツェナーダイオード 21 に印加されている順方向電圧が閾値電圧  $V_{TH}$  と同じになる。この結果、ツェナーダイオード 21 が非導通に転じ、キャパシタ 22 の充電が停止する。したがって、キャパシタ 22 が充電電圧  $V_1$  に充電された状態になり、メモリセル 15 のデータが「0」から「1」に書き換えられる。なお、第 1 パルス  $P_1$  と第 2 パルス  $P_2$  とは、上記のようにキャパシタ 22 を充電することで消失する。

【0046】

なお、メモリセル 15 b がデータ「1」を保持している場合には、キャパシタ 22 は充電電圧  $V_1$  ( $>0$ ) である。この場合には、ツェナーダイオード 21 には電圧  $V_{A+} - V_1$  が印加される。ツェナーダイオード 21 には、順方向電圧が印加されることになるが、その順方向電圧は閾値電圧  $V_{TH}$  と同じであるため、ツェナーダイオード 21 は導通しない。このため、キャパシタ 22 を充電する順方向電流がツェナーダイオード 21 に流れることはない。したがって、キャパシタ 22 は充電電圧  $V_1$  を維持し、メモリセル 15 b はデータ「1」を保持したままとなる。そして、二点鎖線で示すように、第 1 パルス  $P_{1a}$  は、他端 14 a に向かって、また第 2 パルス  $P_{2a}$  は、アクセス部 12 に向かって伝播し、この第 2 パルス  $P_{2a}$  が時刻  $t_{4a}$  でアクセス部 12 のサーキュレータ 24 を介して終端抵抗 25 に達して終端抵抗 25 により吸収される。一方の、第 1 パルス  $P_{1a}$  は、他端 14 a で反射された後、アクセス部 12 に伝播し、第 2 パルス  $P_{2a}$  と同様に終端抵抗 25 により吸収される。

【0047】

上記のようにして、「1」のデータの書き込みを行うが、負極性パルスの先行パルス  $P_p$ 、正極性パルスの第 1 パルス  $P_{1a}$ 、第 2 パルス  $P_{2a}$  は、上述のように「1」または「0」のデータが書き込まれているメモリセル 15 のツェナーダイオード 21 を導通させない電圧として設定されているので、これらの単独のパルスによって、各メモリセル 15 のツェナーダイオード 21 が導通状態になることはない。したがって、上記のようにデータ「0」を記憶しているメモリセル 15 b を除く他のメモリセル 15 のデータが書き換わってしまうことはない。

【0048】

「0」のデータを書き込む場合は、図 5 に示すように、パルス発生部 16 は、サーキュレータ 24 を介して、正極性の先行パルス  $P_{pb}$  を信号線 14 に出力する（時刻  $t_{1b}$ ）。先行パルス  $P_{pb}$  は、信号線 14 上を他端 14 a に向かって伝播し、他端 14 a で反射して負極性の第 2 パルス  $P_{2b}$  としてアクセス部 12 に向かって信号線 14 上を伝播する。

【0049】

「0」のデータを書き込む場合においても、先行パルス  $P_{pb}$  を出力した時点から、書き込み対象であるメモリセル 15 b について予め決められている遅延時間  $T_d$  が経過した時点で、パルス発生部 16 は、第 1 パルス  $P_{1b}$  を出力する（時刻  $t_{2b}$ ）が、この場合の第 1 パルス  $P_{1b}$  は、負極性のパルスである。このように出力される第 1 パルス  $P_{1b}$  は、信号線 14 上のメモリセル 15 b の接続位置で第 2 パルス  $P_{2b}$  と重なる（時刻  $t_{3b}$ ）。この結果、信号線 14 上のメモリセル 15 b の接続位置に第 1 パルス  $P_{1b}$  と第 2 パルス  $P_{2b}$  の各パルス電圧を加算した合成電圧  $V_{A-}$  が生じ、これがメモリセル 15 b に印加される。この「0」のデータを書き込む場合では、第 1 パルス  $P_{1b}$ 、第 2 パルス  $P_{2b}$  は、いずれも負極性であるから、合成電圧  $V_{A-}$  は、負電圧である。

【0050】

メモリセル 15 b が「1」のデータを保持している場合は、キャパシタ 22 は充電電圧  $V_1$  ( $>0$ ) である。このため、ツェナーダイオード 21 には、電圧 ( $V_{A-} - V_1$ ) が印加される。第 1 パルス  $P_{1b}$  と第 2 パルス  $P_{2b}$  から生成される合成電圧  $V_{A-}$  は「 $V_{A-} - < V_{BR} + V_1$ 」を満たしている。このため、ツェナーダイオード 21 は、ツェナー電

10

20

30

40

50

圧 $V_{BR}$ よりも低い逆方向電圧が印加されて導通し、逆方向電流が流れる。この逆方向電流によりキャパシタ22が充電される。この充電にともなう、ツェナーダイオード21のカソードの電位が低下し、ツェナーダイオード21の端子間電圧の大きさ（絶対値）が小さくなる。このカソードの電位の低下により、ツェナーダイオード21に印加されている逆方向電圧がツェナー電圧 $V_{BR}$ となると、すなわちキャパシタ22が充電電圧 $V_2$ となると、ツェナーダイオード21が非導通に転じ、キャパシタ22の充電が停止する。したがって、キャパシタ22が充電電圧 $V_2$ に充電された状態になり、メモリセル15のデータが「1」から「0」に書き換えられる。なお、第1パルス $P_{1b}$ と第2パルス $P_{2b}$ とは、キャパシタ22を充電することで消失する。

#### 【0051】

なお、メモリセル15bがデータ「0」を保持している場合は、キャパシタ22は充電電圧 $V_2$ （ $<0$ ）である。この場合には、ツェナーダイオード21には電圧（ $V_A - V_2$ ）が印加されて、逆方向電圧が印加されることとなるが、その逆方向電圧は、ツェナー電圧 $V_{BR}$ と同じである。このため、ツェナーダイオード21は導通せず、キャパシタ22を充電する逆方向電流がツェナーダイオード21に流れることはない。したがって、キャパシタ22は充電電圧 $V_2$ を維持し、メモリセル15bはデータ「0」を保持したままとなる。この場合、二点鎖線で示すように、第2パルス $P_{2b}$ は、時刻 $t_{4b}$ にアクセス部12のサーキュレータ24を介して終端抵抗25まで伝播し、この終端抵抗25により吸収される。第1パルス $P_{1b}$ は、他端14aで反射された後、終端抵抗25により吸収される。

#### 【0052】

この「0」のデータの書き込みの場合においても、正極性パルスの先行パルス $P_{pb}$ 、負極性パルスの第1パルス $P_{1b}$ 、第2パルス $P_{2b}$ は、上述のように「1」または「0」のデータが書き込まれているメモリセル15のツェナーダイオード21を導通させない電圧として設定されているので、これらの単独のパルスによって、各メモリセル15のツェナーダイオード21が導通状態になることはない。したがって、上記のようにデータ「1」を記憶しているメモリセル15bを除く他のメモリセル15のデータが書き換わってしまうことはない。

#### 【0053】

メモリセル15bからデータを読み出す場合には、パルス発生部16は、メモリセル15bに「1」のデータを書き込む場合と同様にして先行パルス $P_{pa}$ と第1パルス $P_{1a}$ とを信号線14に出力する。すなわち、図4に示されるように、負極性の先行パルス $P_{pa}$ を信号線14に出力し、その後メモリセル15bについて予め決められている遅延時間 $T_d$ が経過した時点で正極性の第1パルス $P_{1a}$ を出力する（時刻 $t_{1a}$ 、 $t_{2a}$ ）。先行パルス $P_{pa}$ が信号線14の他端14aで反射した第2パルス $P_{2a}$ と第1パルス $P_{1a}$ とが、信号線14上のメモリセル15bの接続位置で重なり、合成電圧 $V_{A+}$ をメモリセル15bに印加する（時刻 $t_{3a}$ ）。

#### 【0054】

一方、検出部17は、先行パルス $P_{pa}$ が他端14aで反射した第2パルス $P_{2a}$ が終端抵抗25に達する検出タイミング（時刻 $t_{4a}$ ）における終端抵抗25のサーキュレータ24側の一端の電位を検出する。この検出タイミングは、先行パルス $P_{pa}$ が出力された時点から信号線14の長さ等に基づいて決まる一定時間の経過したタイミングとして予め知ることができる。

#### 【0055】

「1」のデータを書き込む場合と同様に、メモリセル15bに「0」のデータが書き込まれている場合には、ツェナーダイオード21が導通するため、第1パルス $P_{1a}$ 、第2パルス $P_{2a}$ は、メモリセル15bのキャパシタ22を充電電圧 $V_1$ まで充電することにより、メモリセル15bの接続位置で消失する。したがって、上記検出タイミングにおいて、第2パルス $P_{2a}$ が終端抵抗25に達することはないから、検出部17が電位を検出しても第2パルス $P_{2a}$ に相当する電位は検出されない。したがって、この場合には、検出

10

20

30

40

50

部17の検出結果に基づいて、メモリセル15bに「0」のデータが書き込まれていたと判別される。このように「0」のデータと判別された場合には、メモリセル15bのキャパシタ22が充電電圧 $V_1$ に充電されるため、上記と同じ手順により、パルス発生部16が信号線14に先行パルス $P_{pb}$ 、第1パルス $P_{1b}$ を出力して、メモリセル15bに対して「0」のデータの書き込みを行う。

#### 【0056】

一方、メモリセル15bに「1」のデータが書き込まれている場合には、ツェナーダイオード21が導通しないため、第1パルス $P_{1a}$ 、第2パルス $P_{2a}$ は、メモリセル15bの接続位置で消失することなく、信号線14を伝播する。したがって、図1に二点鎖線で示されるように、検出タイミングにおいて、第2パルス $P_{2a}$ が終端抵抗25に達し、その第2パルス $P_{2a}$ の電位が検出部17で検出される。したがって、この場合には、検出部17の検出結果に基づいて、メモリセル15bに「1」のデータが書き込まれていたと判別される。なお、この場合には、メモリセル15bのキャパシタ22が充電電圧に変化はないので先行パルス、第1パルスは出力されない。

#### 【0057】

なお、上記では第2パルス $P_{2a}$ の電位が検出部17で検出されるか否かでデータを判別しているが、第1パルス $P_{1a}$ が信号線14の他端14aで反射したパルスも終端抵抗25に達するから、第1パルス $P_{1a}$ が反射したパルスに相当する電位が検出部17で検出されるか否かでデータを判別することもできる。

#### 【0058】

上記の例では、信号線14の他端14aを短絡しているが、第2パルス発生部としての信号線14の他端14aを開放端としてもよい。この場合、信号線14の他端14aでの反射係数が「1」となるので、先行パルスが反射した第2パルスは、先行パルスと同極性のパルスとなる。したがって、「1」のデータを書き込む場合には、先行パルス及び第1パルスをそれぞれ正極性パルスとし、「0」のデータを書き込む場合には、先行パルス及び第1パルスをそれぞれ負極性パルスとする。

#### 【0059】

図6に示すように、信号線14の一端にパルス発生部16を、他端に第2パルス発生部としてのパルス発生部16Aを設けた構成としてもよい。この場合には、パルス発生部16は、第1パルスを信号線14に出力し、パルス発生部16Aは、第2パルスを信号線14に出力する。なお、図6に示す例では、信号線14の他端には、さらにサーキュレータ24Aと終端抵抗25Aとを設けてあり、読み出しまたは書き込みにおいて消失しなかった第1パルスを終端抵抗25Aで吸収する。なお、サーキュレータ24Aと終端抵抗25Aとを省略することもできる。

#### 【0060】

メモリセルのツェナーダイオードを信号線にアノードをキャパシタにカソードを接続しているが、信号線にカソードをキャパシタにアノードを接続してもよい。この場合には、正の電圧である閾値電圧 $V_{TH}$  ( $>0$ ) 及び負の電圧であるツェナー電圧 $V_{BR}$  ( $<0$ ) を用いて「1」のデータを書き込む際の合成電圧 $V_{A+}$ は、「 $V_{A+} > V_2 - V_{BR}$ 」、「0」のデータを書き込む場合の合成電圧 $V_{A-}$ は、「 $V_{A-} < V_1 - V_{TH}$ 」をそれぞれ満たすように決めればよい。

#### 【0061】

非線形導通部は、上記のように接続されたツェナーダイオードに限定されない。例えば、図7は、2個のツェナーダイオード41a、41bにより非線形導通部41を構成する例を示している。ツェナーダイオード41a、41bは、カソード同士を接続して互いに逆向きにして直列接続されており、ツェナーダイオード41aのアノードがキャパシタ22にツェナーダイオード41bのアノードが信号線14にそれぞれ接続されている。ツェナーダイオード41aのツェナー電圧を $V_{BRa}$  ( $<0$ )、ツェナーダイオード41bのツェナー電圧を $V_{BRb}$  ( $<0$ ) とすれば、第1閾値電圧は「 $-V_{BRa}$ 」、第2閾値電圧は「 $V_{BRb}$ 」である。なお、ツェナーダイオード41a、41bのカソード同士を接続

10

20

30

40

50

する代わりにアノード同士を接続してもよい。

【0062】

図8は、互いに逆向きにして並列接続した2個のダイオード43a、43bにより非線形導通部43を構成する例を示している。ダイオード43aの閾値電圧を $V_{THa}$  ( $>0$ )、ダイオード43bの閾値電圧を $V_{THb}$  ( $>0$ ) とすれば、第1閾値電圧は「 $V_{THa}$ 」、第2閾値電圧は「 $-V_{THb}$ 」である。

【0063】

図7、図8の例のように構成される非線形導通部では、同じ特性のツェナーダイオードまたはダイオードを用いることで、メモリセル15に印加される双方向の電圧に対する第1閾値電圧と第2閾値電圧をほぼ同じ大きさ（絶対値）にすることができる。

【0064】

なお、上記の各例では、作動対象部であるキャパシタの充電電圧により、非線形導通部の作動対象部側の一端であるツェナーダイオードのカソードの電位が変化するため、合成電圧、先行パルス、第1パルス及び第2パルスのパルス電圧について、キャパシタの充電電圧を考慮しているが、非線形導通部の作動対象部側の一端の電位が作動対象部によって変化しない場合、このように非線形導通部の作動対象部側の一端の電位を考慮する必要はない。

【0065】

図9に示すメモリ装置50は、マトリクス状に配列した複数のメモリセル15に導電部材としての面状（矩形状）の導電板51を接続したものである。導電板51は、1つの辺51a上に設けた点状の入力ポイント52にアクセス部12が電氣的に接続されている。この入力ポイント52を設けた辺51aと直交する各辺51bには、それらの辺51bに沿って例えばポリシリコン製の抵抗体53がそれぞれ形成され、この抵抗体53はグランドされている。これにより、辺51bに入射するパルス信号を吸収して反射しないようにしている。辺51aに対向する辺51cは、この例では、電氣的に短絡されており、入射するパルス信号を反射係数-1で反射する。なお、辺51cを電氣的に開放して入射するパルス信号を反射係数1で反射するように構成してもよい。

【0066】

アクセス部12は、最初の例と同様に先行パルスと第1パルスとを出力する。入力ポイント52から導電板51に入力される先行パルス、第1パルスは、入力ポイント52を中心に同心円上に広がって伝搬する。このように伝搬する先行パルスが辺51cで反射したものを第2パルスとして用いる。この場合にも、パルス発生部16は、1つのメモリセル15にアクセスする場合には、先行パルスを出力した時点から遅延時間 $T_d$ が経過したときに第1パルスを出力する。これにより、マトリクス状に配された複数のメモリセル15のうちアクセス対象となるメモリセル15が導電板51と接続された接続位置で第1パルスと第2パルスとを重ねる。また、データの読み出しでは、検出部17によってメモリセル15による第2パルスの吸収の有無を検出する。

【0067】

なお、入力ポイント52は、それが出力する第1パルスと、先行パルスが辺51cで反射した第2パルスとが、同時に2以上のメモリセル15上で重ならない位置に設定される。この例では、図9に示されるように、辺51a上であって、この辺51aに最も近いメモリセル15の列のうちの端部（この例では上端）のメモリセル15に最も近づく位置に設定されている。検出部17によって電位を検出する第2パルスが入力される位置についても入力ポイント52と同じ位置とすることが好ましい。なお、各々の列は、辺51aに沿った方向（図9の上下方向）に1列に並ぶ複数のメモリセル15で構成される。

【0068】

上記の各例では、記憶素子部としてキャパシタを用いているが、記憶素子部はこれに限定されない。例えば、電極間に強誘電体を挟んだ構造の強誘電体キャパシタ（強誘電体メモリ（FeRAM））を記憶素子部に用いることもできる。また、キャパシタに代えて、電気抵抗の違いすなわち低抵抗状態と高抵抗状態とによってデータを記憶する素子（メモリ）を用い

10

20

30

40

50

てもよい。このような素子として、電界誘起巨大抵抗変化を利用し、電極に挟まれた金属酸化膜の電気抵抗の違いでデータを記憶する抵抗変化型メモリ(ReRAM)、トンネル磁気抵抗効果を利用し、磁化の状態(平行/反平行)による電気抵抗の違いによってデータを記憶する磁気トンネル接合素子(MTJ素子)、カルコゲナイド系合金の結晶状態と非結晶状態における電気抵抗の違いによってデータを記憶する相変化メモリ(PCM)、電極間に設けたカーボンナノチューブ層におけるカーボンナノチューブ同士の接続状態に応じた電気抵抗の違いによってデータを記憶するカーボンナノチューブメモリ(NRAM)等を用いることができる。電気抵抗の違いを利用してデータを記憶する素子(メモリ)では、その低抵抗状態と高抵抗状態とによって合成電圧が印加されたときの非線形導通部との接続点の電位が変化するので、それらの電位を第1電位、第2電位とする。

10

#### 【0069】

上記では、作動対象部としてメモリセルを用いたメモリセルを被アクセス回路部としたメモリ装置の例について説明しているが、信号線上において第1パルスと第2パルスとを重ねることによる被アクセス回路部を選択するアクセス手法及びその手法を用いたアクセス装置は、メモリ装置以外の回路装置にも利用できる。

#### 【0070】

例えば、1本の信号線に複数のLED(発光ダイオード)を接続し、アクセス対象としての点灯させるLEDの信号線上の接続位置で同極性の第1パルスと第2パルスとを重ねてLEDに閾値電圧よりも高い順方向電圧を印加するようにし、第1パルスと第2パルスとはいずれもLEDの閾値電圧以下とすれば、信号線に接続された任意のLEDを選択して点灯することができる。この場合、LEDは、非線形導通部であると同時にアクセス対象となる作動対象部であり、LEDそれ自体が被アクセス回路部である。なお、信号線に、アノードを接続した第1のLEDとカソードを接続した第2のLEDとを設け、第1パルスと第2パルスの極性によって第1のLEDと第2のLEDのどちらを点灯させるかを制御することもできる。この場合、信号線上の1つの接続位置に第1のLEDと第2のLEDを接続することもできる。なお、信号線は、半導体基板等に形成された配線に限られない。

20

#### 【0071】

また、信号線上において第1パルスと第2パルスとを重ねることによって被アクセス回路部を選択する手法は、液晶ディスプレイの駆動にも利用できる。この場合には、同極性の第1パルスと第2パルスとを重ねた合成電圧が、液晶層の個々の領域にダイオードやツェナーダイオードなどの非線形導通部を介して選択的に電圧が印加すればよい。さらには、上記被アクセス回路部を選択する手法は、通信等にも利用可能であり、例えばアービトレーションが不要な1対多のシリアル通信を実現できる。

30

#### 【符号の説明】

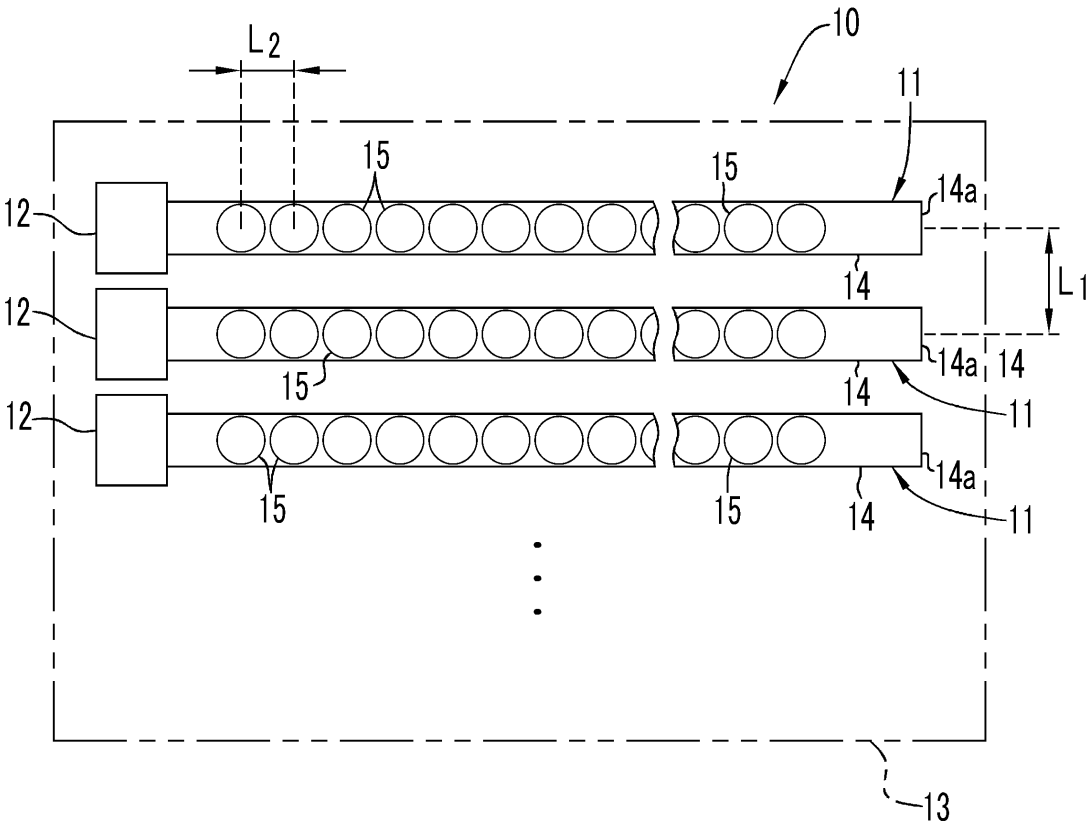
#### 【0072】

- 10、50 メモリ装置
- 12 アクセス部
- 14 信号線
- 14a 他端
- 15 メモリセル
- 16、16A パルス発生部
- 21 ツェナーダイオード
- 22 キャパシタ
- 51 導電板

40

50

【図 1】



10

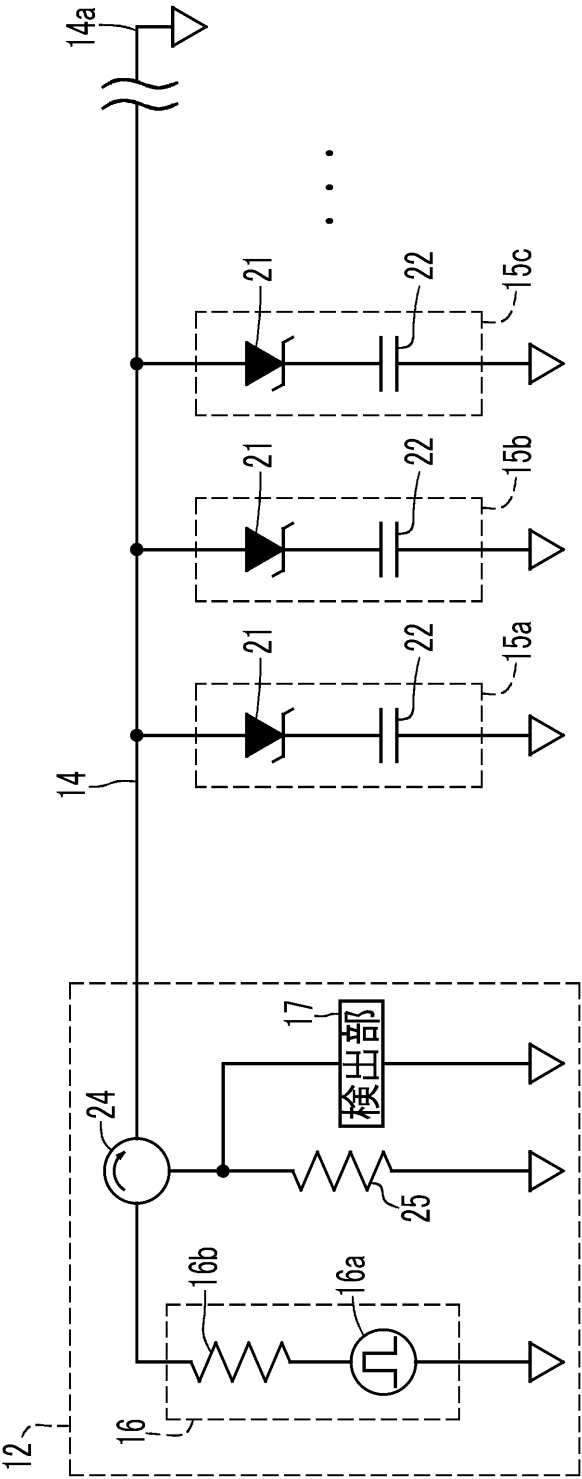
20

30

40

50

【図 2】



10

20

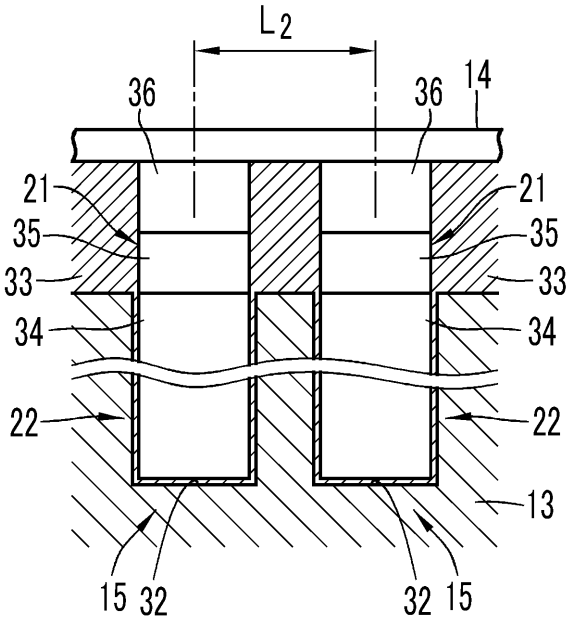
30

40

50



【図 3】



10

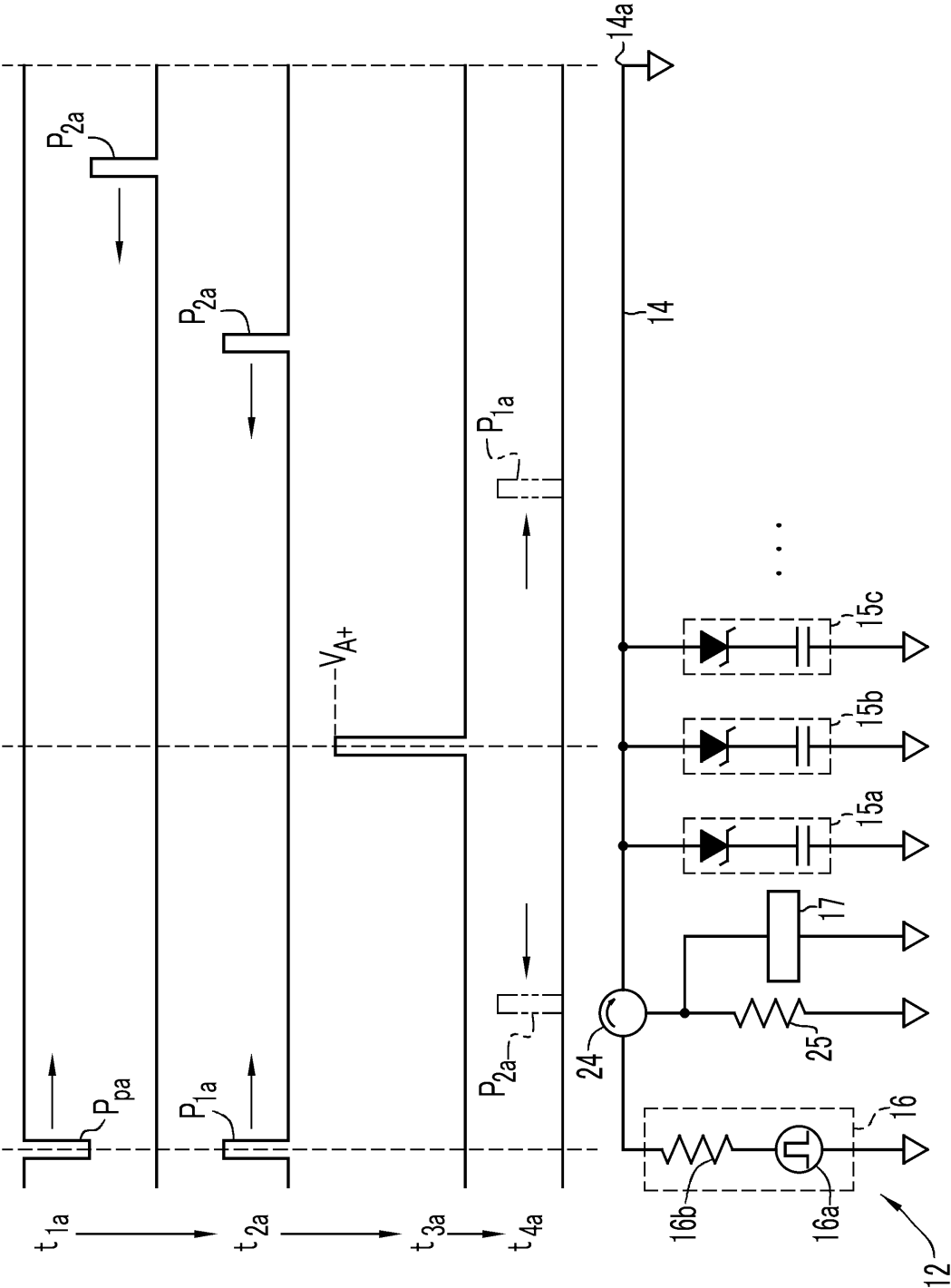
20

30

40

50

【図 4】



10

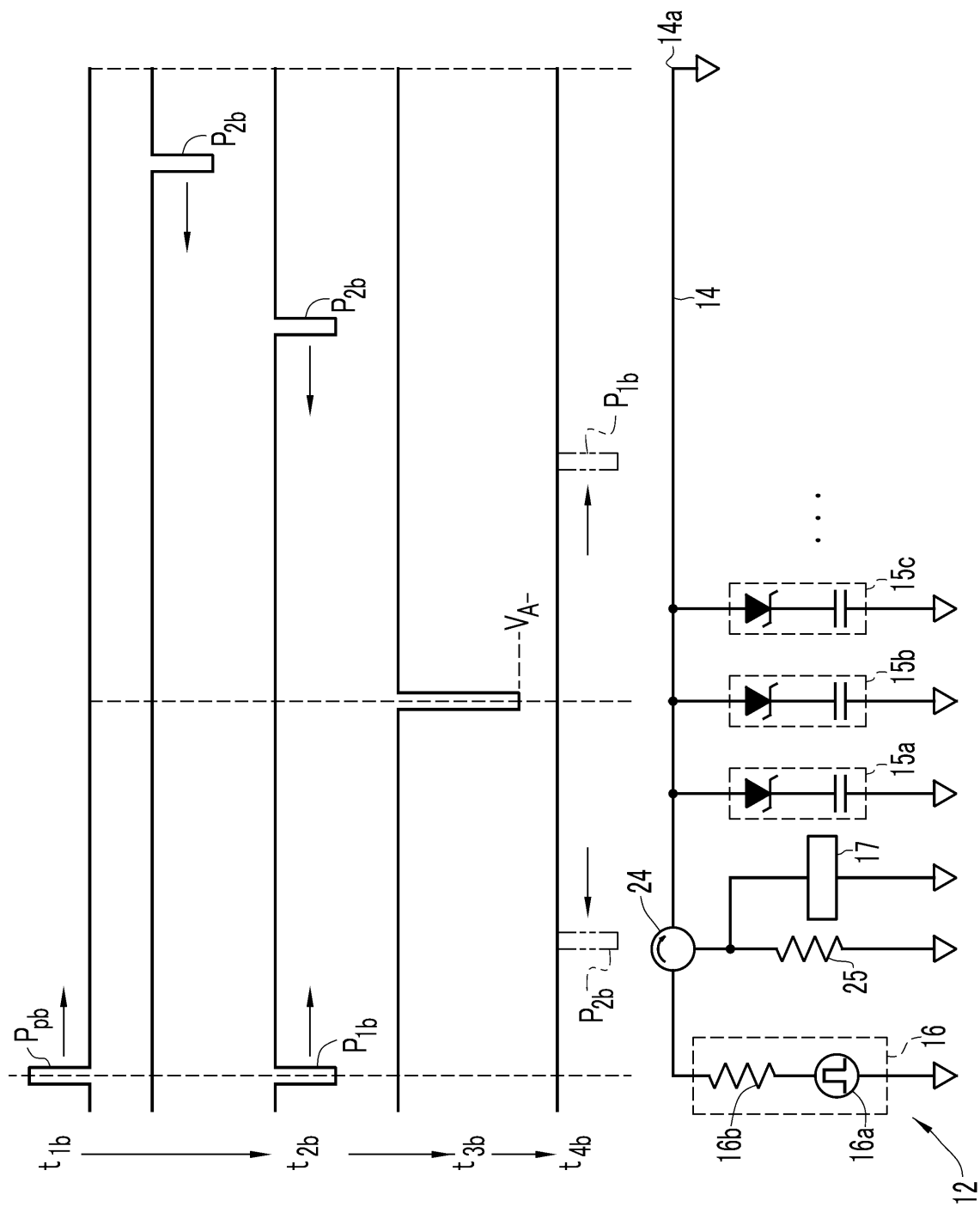
20

30

40

50

【図 5】



10

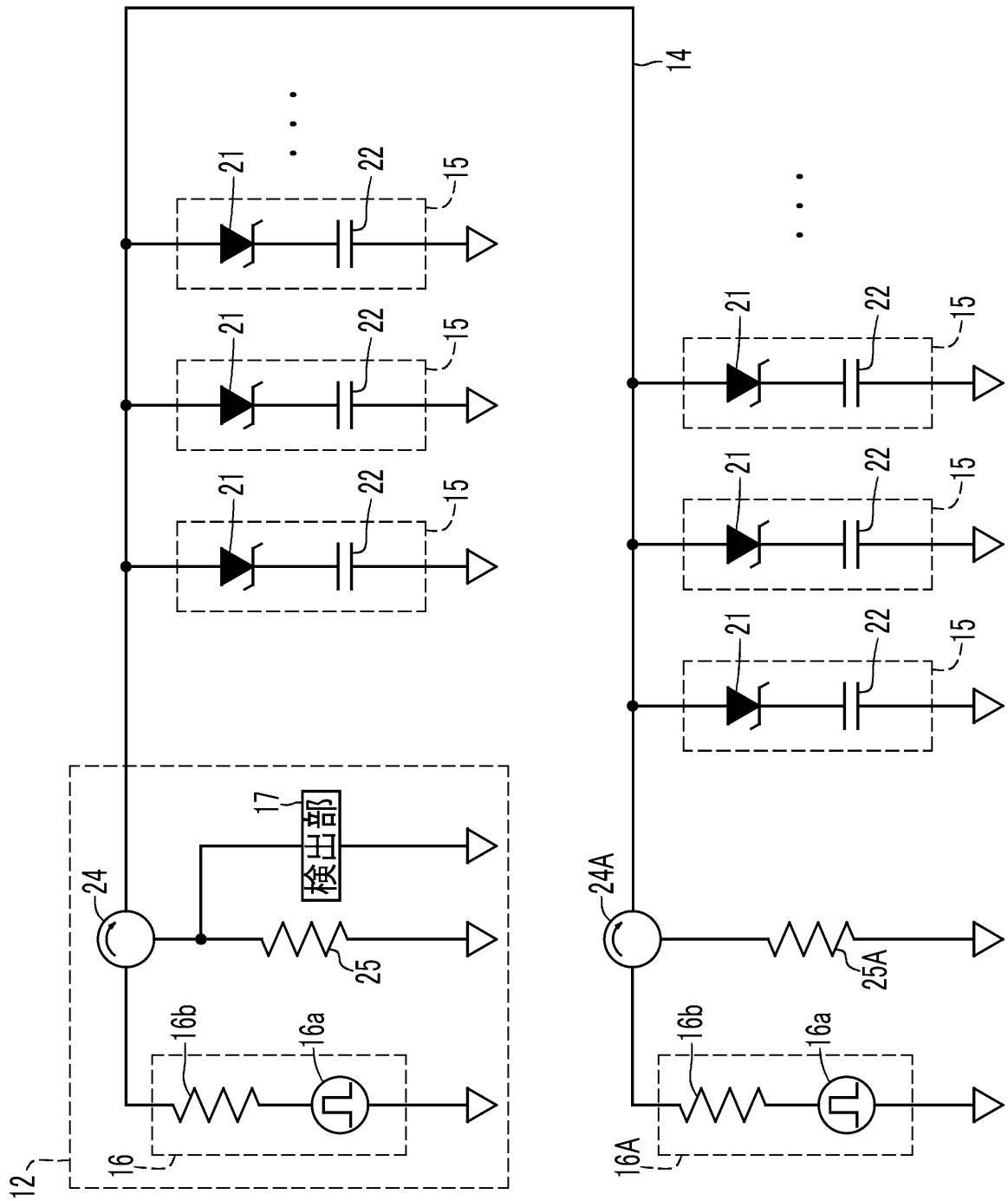
20

30

40

50

【図 6】



10

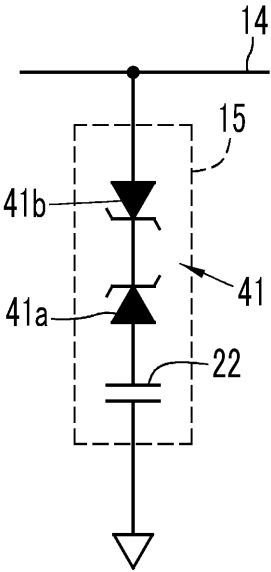
20

30

40

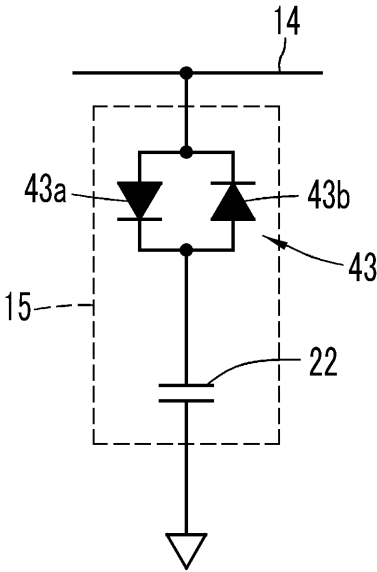
50

【図 7】



10

【図 8】



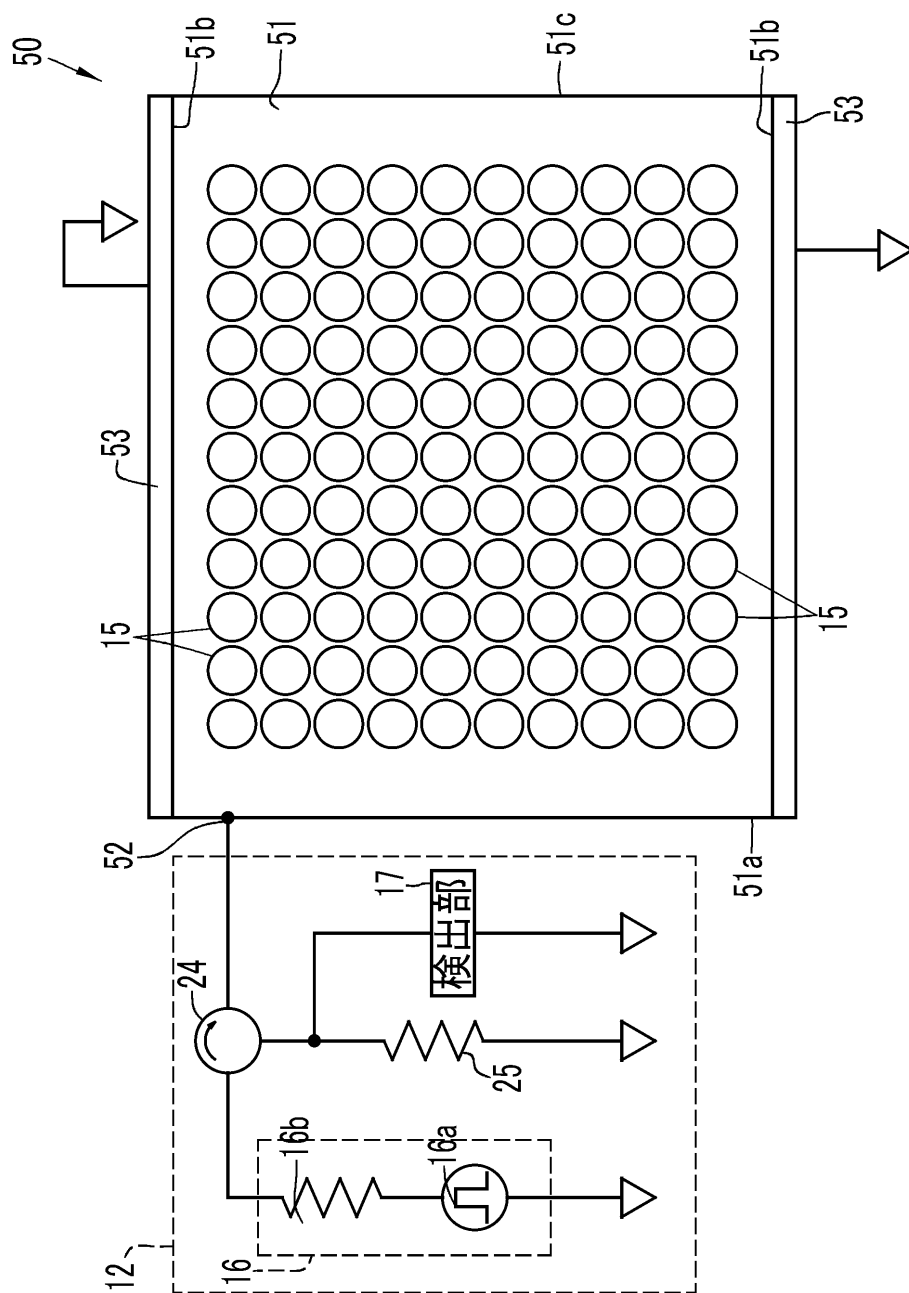
20

30

40

50

【図 9】



10

20

30

40

50